

# CARD TYPE RECORDING MEDIUM AND ITS MANUFACTURING METHOD

Publication number: JP2003108963

Publication date: 2003-04-11

Inventor: YAGI TAKAHIKO; YOSHINO MICHIO; UJI KAZUHIRO

Applicant: MATSUSHITA ELECTRIC IND CO LTD

Classification:

- international: **B42D15/10; G06K19/077; H05K1/02; H05K1/14; H05K1/18; H05K3/36; B42D15/10; G06K19/077; H05K1/02; H05K1/14; H05K1/18; H05K3/36; (IPC1-7): G06K19/077; B42D15/10; H05K1/02; H05K1/14; H05K1/18; H05K3/36**

- european:

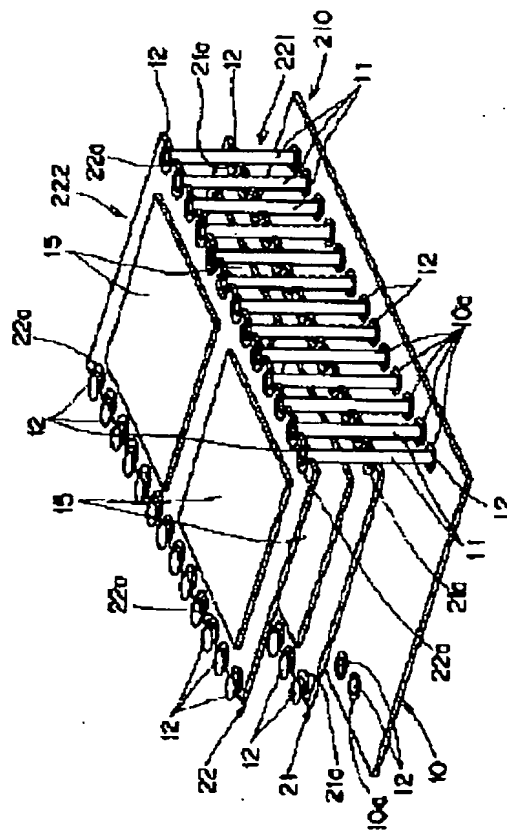
Application number: JP20010301523 20010928

Priority number(s): JP20010301523 20010928

Report a data error here

## Abstract of JP2003108963

**PROBLEM TO BE SOLVED:** To provide a card type recording medium capable of increasing the memory capacity and having high rigidity and good shock resistance and to provide a manufacturing method of the card type recording medium. **SOLUTION:** Memory modules 221, 222, and 270 formed by mounting a plurality of memory chips 15 on memory boards 21, 22, 70, 63, and 65 are mounted on one face of a base board 10, while on the other face of the base board, IC chips 13, 14, and 60 controlling operation of a plurality of memories are mounted, and the whole of them is housed inside packages 30 and 31. Between the memory board and the base board, interposers 90 and 95 are arranged. The interposers are positioned between an electrode on the memory board and an electrode on the base board and constructed of insulators having conductors 92, 93, and 97 electrically connecting the electrode on the memory board and the electrode on the base board together in the direction orthogonally crossing the memory board mounting face of the base board.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-108963

(P2003-108963A)

(43)公開日 平成15年4月11日(2003.4.11)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト*(参考)
G 0 6 K 19/077		B 4 2 D 15/10	5 2 1 2 C 0 0 5
B 4 2 D 15/10	5 2 1	H 0 5 K 1/02	B 5 B 0 3 5
H 0 5 K 1/02		1/14	G 5 E 3 3 6
1/14		1/18	L 5 E 3 3 8
1/18		3/36	Z 5 E 3 4 4

審査請求 未請求 請求項の数27 O L (全 48 頁) 最終頁に続く

(21)出願番号 特願2001-301523(P2001-301523)

(22)出願日 平成13年9月28日(2001.9.28)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 八木 能彦

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 吉野 道朗

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100062144

弁理士 青山 葆 (外2名)

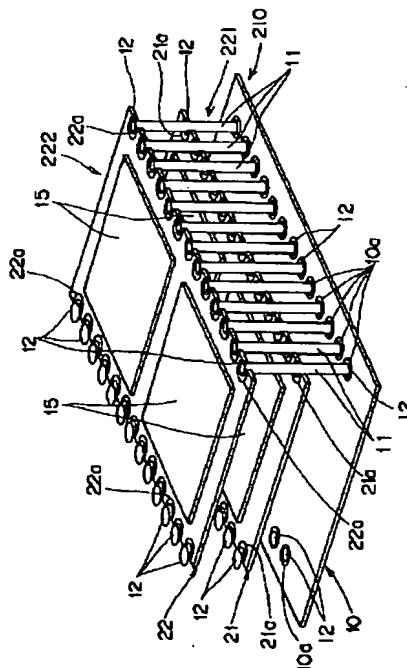
最終頁に続く

(54)【発明の名称】 カード型記録媒体及びその製造方法

(57)【要約】

【課題】 メモリ容量を大きくすることができ、かつ、剛性に優れ、耐衝撃性も良いカード型記録媒体及びその製造方法を提供する。

【解決手段】 メモリ用基板21、22、70、63、65に複数のメモリチップ15が実装されて構成されるメモリモジュール221、222、270をベース基板10の一方の面に実装するとともに、上記ベース基板の他方の面に、上記複数のメモリを動作制御するICチップ13、14、60を実装し、全体をパッケージ30、31内に収納するとともに、上記メモリ用基板と上記ベース基板との間にはインターポーザ90、95を配置し、上記インターポーザは、上記メモリ用基板の電極と上記ベース基板の電極との間に位置し、上記メモリ用基板の電極と上記ベース基板の電極とを上記ベース基板のメモリ用基板実装面に直交する方向に電気的に接続する導体92、93、97を有する絶縁体より構成される。



## 【特許請求の範囲】

【請求項1】 メモリ用基板(21, 22, 70, 63, 65)に複数のメモリチップ(15)が実装されて構成されるメモリモジュール(221, 222, 270)をベース基板(10)の一方の面に実装するとともに、上記ベース基板の他方の面に、上記複数のメモリチップを動作制御するICチップ(13, 14, 60)を実装し、全体をパッケージ(30, 31)内に収納するとともに、上記メモリ用基板と上記ベース基板との間にはインターポーザ(90, 95)を配置し、上記インターポーザは、上記メモリ用基板(21, 22)の複数の電極とこれらの複数の電極に対応する上記ベース基板(10)の複数の電極との間に位置して電氣的に接続する複数の導体部(92, 93, 97)を有する絶縁体より構成されるようにしたカード型記録媒体。

【請求項2】 上記インターポーザ(90)は、上記メモリ用基板(21, 22)の複数の電極にそれぞれ独立して接触する第1の導体部(92)と、上記ベース基板の上記複数の電極にそれぞれ独立して接触する第2の導体部(92)と、上記メモリ用基板(21, 22)の上記電極に接触する上記第1の導体部と上記ベース基板の上記電極に接触する上記第2の導体部とを電氣的にそれぞれ接続する複数の接続部(93)とを上記絶縁体である絶縁部(91)に備えるようにした請求項1に記載のカード型記録媒体。

【請求項3】 上記インターポーザ(95)は、上記絶縁体である絶縁部(96)に形成された複数の貫通孔(96a)と、上記絶縁部の表面側の各貫通孔の開口の周囲に配置された第1の導体部(97a)と、上記絶縁部の裏面側の各貫通孔の開口の周囲に配置された第2の導体部(97c)と、上記各貫通孔の内周面に形成されかつ上記第1の導体部と上記第2の導体部とを電氣的に接続する導体部(97b)とを備えるようにした請求項1に記載のカード型記録媒体。

【請求項4】 上記メモリ用基板(21, 22)の表裏両面にそれぞれ上記メモリチップ(15)を実装して上記メモリモジュール(221, 222, 270)を構成するようにした請求項1～3のいずれか1つに記載のカード型記録媒体。

【請求項5】 上記メモリモジュール(221, 222, 270)は、複数のメモリモジュール(221, 222, 270)から構成され、各メモリモジュールの各メモリ用基板には上記メモリチップが実装されているようにした請求項1～3のいずれか1つに記載のカード型記録媒体。

【請求項6】 上記ベース基板(10)の上記一方の面には、上記メモリチップ(15)を実装するようにした請求項1～5のいずれか1つに記載のカード型記録媒体。

【請求項7】 上記メモリ用基板には、上記複数のメモ

リチップが上記メモリ用基板の長手方向の中心に対して対称に配置されている請求項1～6のいずれか1つに記載のカード型記録媒体。

【請求項8】 上記メモリ用基板の両面には少なくとも1個のメモリチップがそれぞれ実装され、かつ、上記メモリ用基板の両面に実装された上記メモリチップの位置が同一位置であるようにした実装される請求項1～7のいずれか1つに記載のカード型記録媒体。

【請求項9】 上記ベース基板の上記他方の面にメモリチップを実装するようにした請求項1～8のいずれか1つに記載のカード型記録媒体。

【請求項10】 上記メモリ用基板又は上記ベース基板には、RF用LSIチップ(78)とベースバンドLSIチップ(79)が実装されるようにした請求項1～9のいずれか1つに記載のカード型記録媒体。

【請求項11】 上記メモリ用基板はフィルム基板(63, 65)である請求項1～10のいずれか1つに記載のカード型記録媒体。

【請求項12】 上記メモリ用基板及び上記ベース基板は一枚のフィルム基板(81)である請求項1～11のいずれか1つに記載のカード型記録媒体。

【請求項13】 請求項1～10のいずれか1つに記載のカード型記録媒体を製造するカード型記録媒体の製造方法であって、上記ベース基板の上記一方の面に上記メモリ用基板を重ねたのち、

上記ベース基板の電極と上記メモリ用基板の電極とを、上記ベース基板のメモリ用基板実装面に交差する方向に電氣的に接続する上記インターポーザ(90, 95)の上記導体部(92, 93, 97)により電氣的に接続するようにしたカード型記録媒体の製造方法。

【請求項14】 請求項5に記載のカード型記録媒体を製造するカード型記録媒体の製造方法であって、上記ベース基板の上記一方の面に上記一枚のメモリ用基板を重ね、

上記一枚のメモリ用基板の上に上記他の一枚のメモリ用基板を重ねたのち、

上記ベース基板の電極と上記複数のメモリ用基板の電極とを、上記ベース基板のメモリ用基板実装面に交差する方向に電氣的に接続する上記インターポーザ(90, 95)の上記導体部(92, 93, 97)により電氣的に接続するようにしたカード型記録媒体の製造方法。

【請求項15】 上記メモリ用基板は長方形であるとともに、上記メモリチップは長方形であり、上記長方形のメモリチップの長辺(15y)は、上記長方形のメモリ用基板の少なくとも一方の短辺(21x)と大略平行に配置され、かつ、上記短辺沿いに、上記ベース基板の電極(10x)と接続する上記メモリ用基板の電極(41)が配置されるようにした請求項1～12のいずれか1つに記載のカード型記録媒体。

【請求項 16】 上記メモリチップは上記メモリ用基板の一方の面に複数個備えられ、上記メモリ用基板の上記一方の面上でかつ上記複数のメモリチップ間に、上記メモリ用基板の上記短辺と大略平行に上記ベース基板の電極（10x）と接続する電極（41）が配置されるようにした請求項 15 に記載のカード型記録媒体。

【請求項 17】 上記メモリモジュールは、積層される複数のメモリモジュール（221, 222, 270）から構成され、上記複数のメモリモジュールのうちの一方のメモリモジュールのメモリ用基板に配置されたメモリチップ（15）の長手方向と、上記複数のメモリモジュールのうちの他方のメモリモジュールのメモリ用基板に配置されたメモリチップ（15）の長手方向とが交差するようにした請求項 1～12, 15, 16 のいずれか 1 つに記載のカード型記録媒体。

【請求項 18】 上記メモリモジュールは、積層される複数のメモリモジュール（221, 222, 270）から構成され、上記複数のメモリモジュールのうちの上側のメモリモジュールのメモリ用基板に配置されたメモリチップ（15）の厚さが、上記複数のメモリモジュールのうちの下側のメモリモジュールのメモリ用基板に配置されたメモリチップ（15）の厚さよりも大きいようにした請求項 1～12, 15～17 のいずれか 1 つに記載のカード型記録媒体。

【請求項 19】 上記ベース基板の上記他方の面に、メモリ用基板（21）に複数のメモリチップ（15）が実装されて構成されるメモリモジュールを実装するようにした請求項 1～12, 15～18 のいずれか 1 つに記載のカード型記録媒体。

【請求項 20】 上記メモリ用基板と上記ベース基板との間に配置された絶縁性補強樹脂の補強部（44d, 44e）をさらに備えるようにした請求項 1～12, 15～19 のいずれか 1 つに記載のカード型記録媒体。

【請求項 21】 上記複数のメモリモジュールの上記メモリ用基板間に配置された絶縁性補強樹脂の補強部（44i, 44j）をさらに備えるようにした請求項 1～12, 15～20 のいずれか 1 つに記載のカード型記録媒体。

【請求項 22】 上記パッケージ内面と上記メモリ用基板との間に配置された絶縁性補強樹脂の補強部（44c, 44t）をさらに備えるようにした請求項 1～12, 15～21 のいずれか 1 つに記載のカード型記録媒体。

【請求項 23】 上記パッケージ内面と上記ベース基板との間に配置された絶縁性補強樹脂の補強部（44a）をさらに備えるようにした請求項 1～12, 15～22 のいずれか 1 つに記載のカード型記録媒体。

【請求項 24】 上記絶縁性補強樹脂の厚さは上記メモリチップの厚さより大きいようにした請求項 20～22 のいずれか 1 つに記載のカード型記録媒体。

【請求項 25】 上記メモリ用基板の両面には少なくとも 1 個のメモリチップがそれぞれ実装され、かつ、上記メモリ用基板の両面に実装された上記メモリチップの位置が大略同一位置、かつ、で形状が大略同一であるようにした請求項 8 に記載のカード型記録媒体。

【請求項 26】 上記メモリ用基板と上記ベース基板との間に両者の間隔を一定に保持するダミー基板（99）をさらに備えるようにした請求項 1～12, 15～25 のいずれか 1 つに記載のカード型記録媒体。

【請求項 27】 上記ベース基板の電極（10x）と上記メモリ用基板の電極（41）とのいずれか一方に両電極間を接合する突起電極（11t）をさらに備えるようにした請求項 1～12, 15～26 のいずれか 1 つに記載のカード型記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、少なくともベース基板の一方の面にメモリチップが実装され他方の面にメモリチップを動作制御する IC チップが実装されるカード型記録媒体に関する。

【0002】

【従来の技術】従来、この種のカード型記録媒体の一例として、フラッシュメモリなどの半導体メモリチップを有する小型メモリカードが知られている。このような小型メモリカードは、携帯性に優れているため携帯機器に特に多用される傾向があり、携帯機器間で通信する静止画、動画、音楽などを記録させることが望まれている。このため、小型メモリカードとしては、より大きなメモリ容量を持つことが望まれてきている。

【0003】

【発明が解決しようとする課題】しかしながら、一般に、小型メモリカードは、そのパッケージサイズや厚みが規格で定められているため、小型メモリカード内のメモリチップ制御用 IC チップを実装する基板にメモリチップを実装するだけでは、上記メモリ容量を大幅に増加させることが困難であった。上記メモリ容量を大幅に増加させるとき、小型メモリカードとしては携帯機器に出し入れすることから、ある程度の剛性が必要であり、かつ、耐衝撃性も要求されるため、これらの要求をも満足させる必要もあった。

【0004】従って、本発明の目的は、上記問題を解決することによって、メモリ容量を大きくすることができ、かつ、剛性に優れ、耐衝撃性も良いカード型記録媒体及びその製造方法を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するために、本発明は以下のように構成する。

【0006】本発明の第 1 態様によれば、メモリ用基板に複数のメモリチップが実装されて構成されるメモリモジュールをベース基板の一方の面に実装するとともに、

上記ベース基板の他方の面に、上記複数のメモリチップを動作制御する IC チップを実装し、全体をパッケージ内に収納するとともに、上記メモリ用基板と上記ベース基板との間にはインターポーザを配置し、上記インターポーザは、上記メモリ用基板の複数の電極とこれらの複数の電極に対応する上記ベース基板の複数の電極との間に位置して電氣的に接続する複数の導体部を有する絶縁体より構成されるようにしたカード型記録媒体を提供する。

【0007】本発明の第2態様によれば、上記インターポーザは、上記メモリ用基板の複数の電極にそれぞれ独立して接触する第1の導体部と、上記ベース基板の上記複数の電極にそれぞれ独立して接触する第2の導体部と、上記メモリ用基板の上記電極に接触する上記第1の導体部と上記ベース基板の上記電極に接触する上記第2の導体部とを電氣的にそれぞれ接続する複数の接続部とを上記絶縁体である絶縁部に備えるようにした第1の態様に記載のカード型記録媒体を提供する。

【0008】本発明の第3態様によれば、上記インターポーザは、上記絶縁体である絶縁部に形成された複数の貫通孔と、上記絶縁部の表面側の各貫通孔の開口の周囲に配置された第1の導体部と、上記絶縁部の裏面側の各貫通孔の開口の周囲に配置された第2の導体部と、上記各貫通孔の内周面に形成されかつ上記第1の導体部と上記第2の導体部とを電氣的に接続する導体部とを備えるようにした第1の態様に記載のカード型記録媒体を提供する。

【0009】本発明の第4態様によれば、上記メモリ用基板の表裏両面にそれぞれ上記メモリチップを実装して上記メモリモジュールを構成するようにした第1～3のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0010】本発明の第5態様によれば、上記メモリモジュールは、複数のメモリモジュールから構成され、各メモリモジュールの各メモリ用基板には上記メモリチップが実装されているようにした第1～3のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0011】本発明の第6態様によれば、上記ベース基板の上記一方の面には、上記メモリチップを実装するようにした第1～5のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0012】本発明の第7態様によれば、上記メモリ用基板には、上記複数のメモリチップが上記メモリ用基板の長手方向の中心に対して対称に配置されている第1～6のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0013】本発明の第8態様によれば、上記メモリ用基板の両面には少なくとも1個のメモリチップがそれぞれ実装され、かつ、上記メモリ用基板の両面に実装された上記メモリチップの位置が同一位置であるようにした

実装される第1～7のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0014】本発明の第9態様によれば、上記ベース基板の上記他方の面にメモリチップを実装するようにした第1～8のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0015】本発明の第10態様によれば、上記メモリ用基板又は上記ベース基板には、RF用LSIチップとベースバンドLSIチップが実装されるようにした第1～9のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0016】本発明の第11態様によれば、上記メモリ用基板はフィルム基板である第1～10のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0017】本発明の第12態様によれば、上記メモリ用基板及び上記ベース基板は一枚のフィルム基板である第1～11のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0018】本発明の第13態様によれば、第1～10のいずれか1つの態様に記載のカード型記録媒体を製造するカード型記録媒体の製造方法であって、上記ベース基板の上記一方の面に上記メモリ用基板を重ねたのち、上記ベース基板の電極と上記メモリ用基板の電極とを、上記ベース基板のメモリ用基板実装面に交差する方向に電氣的に接続する上記インターポーザの上記導体部により電氣的に接続するようにしたカード型記録媒体の製造方法を提供する。

【0019】本発明の第14態様によれば、第5の態様に記載のカード型記録媒体を製造するカード型記録媒体の製造方法であって、上記ベース基板の上記一方の面に上記一枚のメモリ用基板を重ね、上記一枚のメモリ用基板の上に上記他の一枚のメモリ用基板を重ねたのち、上記ベース基板の電極と上記複数のメモリ用基板の電極とを、上記ベース基板のメモリ用基板実装面に交差する方向に電氣的に接続する上記インターポーザの上記導体部により電氣的に接続するようにしたカード型記録媒体の製造方法を提供する。

【0020】本発明の第15態様によれば、上記メモリ用基板は長方形であるとともに、上記メモリチップは長方形であり、上記長方形のメモリチップの長辺は、上記長方形のメモリ用基板の少なくとも一方の短辺と大略平行に配置され、かつ、上記短辺沿いに、上記ベース基板の電極と接続する上記メモリ用基板の電極が配置されるようにした第1～12のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0021】本発明の第16態様によれば、上記メモリチップは上記メモリ用基板の一方の面に複数個備えられ、上記メモリ用基板の上記一方の面上でかつ上記複数のメモリチップ間に、上記メモリ用基板の上記短辺と大略平行に上記ベース基板の電極と接続する電極が配置さ

れるようにした第15の態様に記載のカード型記録媒体を提供する。

【0022】本発明の第17態様によれば、上記メモリモジュールは、積層される複数のメモリモジュールから構成され、上記複数のメモリモジュールのうちの一方向のメモリモジュールのメモリ用基板上に配置されたメモリチップの長手方向と、上記複数のメモリモジュールのうちの他方のメモリモジュールのメモリ用基板上に配置されたメモリチップの長手方向とが交差するようにした第1～12、15、16のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0023】本発明の第18態様によれば、上記メモリモジュールは、積層される複数のメモリモジュールから構成され、上記複数のメモリモジュールのうちの上側のメモリモジュールのメモリ用基板上に配置されたメモリチップの厚さが、上記複数のメモリモジュールのうちの下側のメモリモジュールのメモリ用基板上に配置されたメモリチップの厚さよりも大きいようにした第1～12、15～17のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0024】本発明の第19態様によれば、上記ベース基板の上記他方の面に、メモリ用基板上に複数のメモリチップが実装されて構成されるメモリモジュールを実装するようにした第1～12、15～18のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0025】本発明の第20態様によれば、上記メモリ用基板上と上記ベース基板との間に配置された絶縁性補強樹脂の補強部をさらに備えるようにした第1～12、15～19のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0026】本発明の第21態様によれば、上記複数のメモリモジュールの上記メモリ用基板間に配置された絶縁性補強樹脂の補強部をさらに備えるようにした第1～12、15～20のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0027】本発明の第22態様によれば、上記パッケージ内面と上記メモリ用基板との間に配置された絶縁性補強樹脂の補強部をさらに備えるようにした第1～12、15～21のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0028】本発明の第23態様によれば、上記パッケージ内面と上記ベース基板との間に配置された絶縁性補強樹脂の補強部をさらに備えるようにした第1～12、15～22のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0029】本発明の第24態様によれば、上記絶縁性補強樹脂の厚さは上記メモリチップの厚さより大きいようにした第20～22のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0030】本発明の第25態様によれば、上記メモリ

用基板の両面には少なくとも1個のメモリチップがそれぞれ実装され、かつ、上記メモリ用基板の両面に実装された上記メモリチップの位置が大略同一位置、かつ、で形状が大略同一であるようにした第8の態様に記載のカード型記録媒体を提供する。

【0031】本発明の第26態様によれば、上記メモリ用基板上と上記ベース基板との間に両者の間隔を一定に保持するダミー基板をさらに備えるようにした第1～12、15～25のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0032】本発明の第27態様によれば、上記ベース基板の電極と上記メモリ用基板の電極とのいずれか一方に両電極間を接合する突起電極をさらに備えるようにした第1～12、15～26のいずれか1つの態様に記載のカード型記録媒体を提供する。

【0033】

【発明の実施の形態】以下に、本発明にかかる実施の形態を図面に基づいて詳細に説明する。なお、図面において、理解しやすくするため、ICチップ又はメモリチップと各基板との接合部分を断面にて示しているが、実際には、接合部分は全て封止樹脂で封止することが望ましい。

【0034】まず、本発明にかかる種々の実施の形態にかかるカード型記録媒体の一例としての小型メモリカードの具体的な基本的な構成を図23～図25に示す。

【0035】図において、110は基板、113は基板110の裏面（図23では上側の面、図24では下側の面）に実装されるASIC（Application Specific Integrated Circuit）のコントローラLSIチップ（ASIC用ICチップ）、114は基板110の裏面に実装されるマイクロプロセッサ用ICチップ、115は基板110の表面（図23では下側の面、図24では上側の面）に実装されるCSP（Chip Size Package）であるフラッシュメモリチップ、116は基板110の電極、118は基板110の表面に実装されるチップコンデンサ、119は基板110の表面に実装されるチップ抵抗、130は基板110の表面を覆う上ケース、131は上ケース130に固着されて基板110の裏面を覆う下ケース、131aは下ケース131の電極用開口、132はライトプロテクト用切換えスイッチである。

【0036】このような小型メモリカードの規格の例としては、図25に示すように、上ケース130に下ケース131が固着された状態の製品としての小型メモリカードでは、幅24mm×高さ32mm×厚さ2.1mmとなることが要求される。なお、図24では、上ケース130の厚さは1.4mm、下ケース131の厚さは0.7mmとなっている。また、フラッシュメモリのICチップは、一例として、厚さ80μmで短辺7.8mm×長辺16mmの長方形薄板状に構成されている。

【0037】このような規格に従った小型メモリカード

において、メモリの容量を増加させる本発明の様々な実施形態について、以下に詳細に説明する。ただし、この規格は、理解しやすくするための一例として述べるものであって、本発明はこれに限定されるものではない。

【0038】(第1実施形態) 本発明の第1の実施形態にかかるカード型記録媒体の一例としての小型メモリカードは、図1～図3に示すように、ベース基板モジュール210と、ベース基板モジュール210上に実装された第1メモリモジュール221と、第1メモリモジュール221上に実装された第2メモリモジュール222とを備えて、図24の上記コントローラLSIチップ113とマイクロプロセッサ用ICチップ114とフラッシュメモリチップ115とが実装された基板110を構成し、上ケース30と下ケース31内に、各ケース30、31との間にはそれぞれ所定の隙間を空けて収納されるようにしている。

【0039】ベース基板モジュール210は、長方形板状のベース基板10の下面に、マイクロプロセッサ用ICチップ14とASIC用ICチップ13とを所定間隔あけて実装されて構成されている。マイクロプロセッサ用ICチップ14の各電極と各基板の各電極、及び、ASIC用ICチップ13の各電極と各基板の各電極とは、バンプなどを介して直接的に接合すなわちフリップチップ実装されたのち、接合部分が絶縁性の封止樹脂で封止されている。ベース基板10の上面には、その一端部に、チップコンデンサ18及びチップ抵抗19をベース基板10の長手方向沿いの長辺とは直交する短辺沿いに実装している。ベース基板10の長手方向沿いの長辺の近傍には、ベース基板10の回路パターンと電氣的に接続され、かつ、他のメモリ用基板21、22と接続するための電極として機能するように、貫通孔10aが多数形成されており、各貫通孔10a内にはクリーム半田12が配置されている。長手方向の両端の貫通孔10aは小型メモリカードの製造の際に位置決め孔10zとして使用されることもある。なお、16は小型メモリカードのカード電極、18はチップコンデンサ、19はチップ抵抗である。

【0040】第1メモリモジュール221は、ベース基板10よりも小さい長方形の第1メモリ用基板21の表裏両面(上下両面)に、合計4個のフラッシュEEPROMなどの不揮発性メモリチップなどのメモリチップ15を実装して構成されている。各メモリチップ15の各電極と第1メモリ用基板21の各電極とはバンプなどを介して直接的に接合すなわちフリップチップ実装されたのち、接合部分が絶縁性の封止樹脂で封止されている。第1メモリ用基板21の長手方向沿いの長辺の近傍には、第1メモリ用基板21の回路パターンと電氣的に接続され、かつ、ベース基板10及び第2メモリ用基板22と接続するための電極として機能するように、貫通孔21aが多数形成されており、各貫通孔21a内にはク

リーム半田12が配置されている。長手方向の両端の貫通孔21aは小型メモリカードの製造の際に位置決め孔21zとして使用されることもある。

【0041】第2メモリモジュール222は、第1メモリモジュール221と同一構造であって、ベース基板10よりも小さい長方形の第2メモリ用基板22の表裏両面(上下両面)に、合計4個のフラッシュメモリなどのメモリチップ15を実装して構成されている。各メモリチップ15の各電極と第2メモリ用基板22の各電極とはバンプなどを介して直接的に接合すなわちフリップチップ実装されたのち、接合部分が絶縁性の封止樹脂で封止されている。第2メモリ用基板22の長手方向沿いの長辺の近傍には、第2メモリ用基板22の回路パターンと電氣的に接続され、かつ、ベース基板10及び第1メモリ用基板21と接続するための電極として機能するように、貫通孔22aが多数形成されており、各貫通孔22a内にはクリーム半田12が配置されている。長手方向の両端の貫通孔22aは小型メモリカードの製造の際に位置決め孔22zとして使用されることもある。

【0042】ベース基板10の各貫通孔10a、第1メモリ用基板21の各貫通孔21a、及び、第2メモリ用基板22の各貫通孔22aを、上記ベース基板10のメモリ用基板実装面に直交する方向に基板間を電氣的に接続する導体の一例としての導電性ワイヤ11がそれぞれ貫通して、各貫通孔内のクリーム半田12に接触して、ベース基板10の各貫通孔10a内のクリーム半田12と、第1メモリ用基板21の各貫通孔21a内のクリーム半田12と、第2メモリ用基板22の各貫通孔22a内のクリーム半田12とを導電性ワイヤ11により電氣的に接続する。具体的な例として、各貫通孔は、各基板の回路に接続されかつ直径0.50μmで内周面が金メッキされたスルーホールとし、導電性ワイヤ11としては、直径0.20μmの銅ワイヤとする。各貫通孔については、ベース基板10の各貫通孔10aのみをベース基板10の回路に接続されかつ直径0.50μmで内周面が金メッキされたスルーホールとし、第1メモリ用基板21の各貫通孔21a及び第2メモリ用基板22の各貫通孔22aはそれぞれ各メモリ用基板の回路にそれぞれ接続されかつ直径0.50μmで内周面が金メッキされたスルーホールを半分カットした大略半円形状(図1参照)とすることもできる。

【0043】このように、ベース基板10と第1メモリ用基板21と第2メモリ用基板22とを導電性ワイヤ11により接続することができるため、ベース基板10の上に、それぞれ両面にメモリチップ15を実装可能な2層のメモリ用基板21、22を狭い間隔で小スペース内に配置することができるとともに、各基板間の電極を導電性ワイヤ11により接続することにより、電極間での接続強度を向上させることができる。このような構成することにより、ベース基板10のいずれか一方の面にメ

メモリを実装する場合と比較して、メモリの実装可能な面積は、第1メモリ用基板21の表裏両面、第2メモリ用基板22の表裏両面の4倍に増加し、最大で4倍までメモリ容量を増加させることができる。よって、例えば、1個のメモリチップ15が32MBのとき、2個のメモリチップ15しか実装できないときは $2 \times 32\text{MB} = 64\text{MB}$ であったのが、最大で $8 \times 32\text{MB} = 256\text{MB}$ とすることができる。また、1個のメモリチップ15が64MBのときには、最大で $8 \times 64\text{MB} = 512\text{MB}$ とすることができる。さらに、1個のメモリチップ15が128MBのときには、最大で $8 \times 128\text{MB} = \text{約}1\text{GB}$ とすることができる。

【0044】また、各メモリ用基板21、22の表裏両面に2個ずつ全く同一位置に同一サイズ及び厚みのメモリチップ15を実装することができるため、各メモリ用基板21、22に熱的又は機械的応力が作用したとき、例えば、封止樹脂の硬化収縮などにより各基板が片側に反ることが防止できる。また、上記各メモリ用基板21、22には、上記複数のメモリチップ15が上記メモリ用基板21、22の長手方向の中心に対して対称に配置することができ、各メモリ用基板21、22全体として、応力の偏った分布を防止することができる。

【0045】また、メモリチップ15が実装されたメモリモジュール221、222をベース基板10とは別部品として別個に構成することができ、バーンイン時にメモリチップ15が不良と判断された場合には、そのメモリモジュールのみを廃棄すればよく、ICチップ13、14が実装されたベース基板10まで廃棄する必要がなくなる。

【0046】また、各メモリチップ15を各基板に対してアウターリード無しに直接実装すなわちフリップチップ実装するため、言い換えれば、各メモリチップ15の各電極と各基板の各電極とをバンプなどを介して直接的に接合するため、各メモリチップ15の外側にアウターリードを引き出して各基板に接合するスペースや手間を省くことができ、小スペース化、工程の短縮化を図ることができる。

【0047】なお、図23～図25の小型メモ리카ードの規格に対応するようにするため、一例として、図2に示すように、ベース基板10の厚さは0.2mm、第1メモリ用基板21の厚さは0.15mm、第2メモリ用基板22の厚さは0.15mm、第2メモリ用基板22の下面に実装されたメモリチップ15と第1メモリ用基板21の上面に実装されたメモリチップ15との隙間は0.41mm、第1メモリ用基板21の下面に実装されたメモリチップ15とベース基板10の上面との隙間は0.41mmである。また、第2メモリ用基板22の上面に実装されたメモリチップ15の上面とベース基板10の下面との距離は1.12mm、ベース基板10の下面とベース基板10の下面に実装されたマイクロプロセ

ッサ用ICチップ14とASIC用ICチップ13の上面との距離は0.35mm、よって、第2メモリ用基板22の上面に実装されたメモリチップ15の上面とベース基板10の下面に実装されたマイクロプロセッサ用ICチップ14とASIC用ICチップ13の上面との距離は1.47mmとなるようにしている。

【0048】なお、各基板、すなわち、ベース基板10、第1メモリ用基板21、第2メモリ用基板22は単層基板、多層基板いずれの形態でもよい。

【0049】以下に、上記小型メモ리카ードの製造方法について説明する。

【0050】図4(A)に示すように、ベース基板10の下面側には、マイコン用ICチップであるマイクロプロセッサ用ICチップ14とコントローラ用ICチップであるASIC用ICチップ13の2つのICチップがベアチップ実装されて、ベース基板モジュール210を1個形成する。なお、このとき、具体的には図示しないが、ベース基板10の下面には小型メモ리카ードのカード電極16を形成しておくとともに、ベース基板10の上面にはチップコンデンサ18、チップ抵抗19も実装しておく。

【0051】また、図4(B)、図4(C)に示すように、2枚のメモリ用基板21、22の上下両面のそれぞれにフラッシュメモリなどのメモリチップ15を2個ずつフリップチップ実装して、第1及び第2メモリモジュール221、222を2個形成する。

【0052】これらの図4(A)、図4(B)、図4(C)に示すそれぞれの工程は、同時に行っても良いし、任意の順に行うようにしてもよい。また、多数の小型メモ리카ードを製造する場合には、図4(A)、図4(B)、図4(C)に示す工程をそれぞれ多数回行って、予め多数の第1及び第2メモリモジュール221、222及びベース基板モジュール210を製造しておくてもよい。

【0053】次に、図5(A)に示すように、ベース基板10の各貫通孔10a内にクリーム半田12をディスペンサ51により供給する。同様に、図5(B)及び図5(C)にそれぞれ示すように、第1及び第2メモリ基板21、22の各貫通孔21a、22a内にもクリーム半田12をディスペンサ51によりそれぞれ供給する。なお、各基板10、21、22において、長手方向両端の同一箇所にある貫通孔を位置決め孔10z、21z、22zとして使用するため、基板接続用の電極としての機能を果たさないようにしており、クリーム半田12は挿入しないようにする。また、上記位置決め孔10z、21z、22zの代わりに、各基板に位置決め用マークを設けたり、又は、各基板の回路パターンの一部を位置決め用マークとして使用することにより、基板同士の位置決めに利用するようにしてもよい。

【0054】次いで、図5(D)に示すように、第1メ



メモリモジュール221と第2メモリモジュール222とを仮固定する。すなわち、第1メモリ用基板21の上に第2メモリ用基板22を載置して、各端部の位置決め孔21z、22z同士が互いに同一に位置するように位置決め調整したのち、絶縁性の仮固定用接着剤52により、第1メモリ用基板21の上面に実装した2個のメモリチップ15、15の上面と、第2メモリ用基板22の下面に実装した2個のメモリチップ15、15の下面とを接着して、第1メモリモジュール221と第2メモリモジュール222とを仮固定する。このとき、第1メモリ用基板21と第2メモリ用基板22とは大略平行になるようにする。これは、小型メモリカード全体の寸法を規格内の寸法にするためである。

【0055】次いで、図6(A)に示すように、仮固定された第1メモリモジュール221と第2メモリモジュール222をベース基板モジュール210に仮固定する。すなわち、第1メモリモジュール221の下面に実装された2個のメモリチップ15とベース基板モジュール210の上面とを絶縁性の仮固定用接着剤52により接着して、ベース基板モジュール210の上に、仮固定された第1メモリモジュール221と第2メモリモジュール222を仮固定する。このとき、第1メモリ用基板21と第2メモリ用基板22とベース基板10とは互いに大略平行になるようにする。これは、小型メモリカード全体の寸法を規格内の寸法にするためである。

【0056】次いで、図6(B)に示すように、モジュール間の電極同士を導電性ワイヤ11で個別に接続する。すなわち、ベース基板モジュール210の各位置決め孔10zと第1メモリモジュール221の各位置決め孔21zと第2メモリモジュール222の各位置決め孔22zとを一致させるように位置決めした状態で、ベース基板モジュール210の各貫通孔10a内のクリーム半田12の電極と第1メモリモジュール221の各貫通孔21a内のクリーム半田12の電極と第2メモリモジュール222の各貫通孔22a内のクリーム半田12の電極とを、導電性ワイヤ11で個別に接続する。

【0057】その後、リフロー炉内に入れることにより、又は、ホットエアなどの熱風を吹き付けることにより、各クリーム半田12を溶融して各クリーム半田12と導電性ワイヤ11とを完全に固着させることにより、確実に電氣的に接続する。

【0058】次いで、ベース基板モジュール210のベース基板10と第1メモリモジュール221の第1メモリ用基板21との間、第1メモリモジュール221の第1メモリ用基板21と第2メモリモジュール222の第2メモリ用基板22との間、第2メモリ用基板22の上面の2個のメモリチップ15間を、それぞれ、絶縁性の封止樹脂200で封止する。

【0059】次いで、これを上下ケース30、31内に収納して上記小型メモリカードを得る。

【0060】上記小型メモリカードの製造方法によれば、図1の小型メモリカードにおいてをベース基板モジュール210に実装する前に、予め第1メモリモジュール221と第2メモリモジュール222とを実装してバーンイン試験などによりメモリモジュール全体としての機能を検査することができ、不良の場合には、メモリモジュールのみを廃棄すればよく、メモリモジュールに比較して高価なベース基板モジュール210を廃棄する必要がなくなり、コストダウンを図ることができる。

10 【0061】なお、上記第1実施形態においては、図6(B)に示すように上記ベース基板モジュール210の各貫通孔10a内のクリーム半田12の電極と第1メモリモジュール221の各貫通孔21a内のクリーム半田12の電極と第2メモリモジュール222の各貫通孔22a内のクリーム半田12の電極とを、多数の導電性ワイヤ11で個別に接続する代わりに、図6(C)に示すように、モジュール間の電極同士を、導体の別の例としての連続した1本又は数本の導電性ワイヤ53で接続するようにしてもよい。

20 【0062】すなわち、ベース基板モジュール210と第1メモリモジュール221と第2メモリモジュール222とが上下に重なるように位置する3個のクリーム半田12の電極、すなわち、導電性ワイヤ53を、第2メモリモジュール222の各貫通孔22a内のクリーム半田12の電極と、第1メモリモジュール221の各貫通孔21a内のクリーム半田12の電極と、ベース基板モジュール210の各貫通孔10a内のクリーム半田12の電極とを貫通させる。次いで、U字状に折り曲げたのち、導電性ワイヤ53を、隣接するベース基板モジュール210の各貫通孔10a内のクリーム半田12の電極と、第1メモリモジュール221の各貫通孔21a内のクリーム半田12の電極と、第2メモリモジュール222の各貫通孔22a内のクリーム半田12の電極とを貫通させる。次いで、再び、U字状に折り曲げたのち、例えば、隣接する第2メモリモジュール222の各貫通孔22a内のクリーム半田12の電極と、第1メモリモジュール221の各貫通孔21a内のクリーム半田12の電極と、ベース基板モジュール210の各貫通孔10a内のクリーム半田12の電極とを貫通させる。このようにして、接続すべき全てのクリーム半田12の電極を接続する。

【0063】次いで、リフロー炉内に上記モジュールを搬入してリフロー工程を行うことにより、または、ホットエアなどの熱風を吹き付けることにより、各クリーム半田12を溶融して各クリーム半田12と導電性ワイヤ53とを導通状態のまま完全に固着させることにより、確実に電氣的に接続する。

50 【0064】次いで、上記導電性ワイヤ53の上記U字状に折り曲げた部分を切断して除去することにより、ベース基板10と第1及び第2メモリ用基板21、22の

上下に重なるように位置する3個のクリーム半田12の電極を互に個別的に導通させ、かつ、3個の接続部毎に独立的に導通させる導通用柱部材として機能させることができる。

【0065】このような構成によれば、多数の導電性ワイヤ11を予め用意する必要がなく、用意すべき部品点数を削減することができるとともに、多数の導電性ワイヤ11を一本ずつ接続するよりも連続した導電性ワイヤ53を半田12に貫通させる方が接続しやすく、作業の軽減を図ることができる。

【0066】上記第1実施形態において、ベース基板10と第1メモリ用基板21と第2メモリ用基板22とを同時に位置決めして仮固定するようにしてもよい。また、仮固定は、接着剤の代わりに両面粘着テープを使用することもできる。さらには、接着剤を使用せずに、他の部材又は半田の粘着力を利用して上記三枚の基板を位置決め保持するようにしてもよい。

【0067】(第2実施形態) 図7は、本発明の第2実施形態にかかる小型メモ리카ードの完成状態での一部断面側面図である。図7では、導電性ワイヤ53の代わりに、銅などの導電性ボール71を使用するものである。すなわち、ベース基板10の各貫通孔10a内のクリーム半田12と第1メモリ用基板21の各貫通孔10a内のクリーム半田12との間に導電性ボール71を介在させて、ベース基板10と第1メモリ用基板21との間を大略平行に保持するとともに、第1メモリ用基板21の各貫通孔21a内のクリーム半田12と第2メモリ用基板22の各貫通孔22a内のクリーム半田12との間に導電性ボール71を介在させて第1メモリ用基板21と第2メモリ用基板22との間を大略平行に保持するようにしている。この場合、導電性ボール71の直径よりも各貫通孔10a、21a、22aのクリーム半田12の外径を大きくして、導電性ボール71が各クリーム半田12の電極上に若干入り込みつつ安定して保持されるようにするのが好ましい。

【0068】導電性ボール71の一例としては、直径0.3μmの銅ボールを使用することができる。導電性ボール71の材料としては、銅以外に、スズ-亜鉛系、スズ-銀系、スズ-銅系も使用することができる。

【0069】第2実施形態によれば、第1実施形態と同様な作用効果を奏することができる上に、ベース基板10と第1メモリ用基板21、及び、第1メモリ用基板21と第2メモリ用基板22との間に導電性ボール71を介在させることにより、各基板の間隔を容易に均等にすることができ、各基板を大略平行に配置することができる。また、導電性ボール71を銅などの半田よりも融点が高い材料より構成すれば、後工程でリフローやエアブローにより半田を溶融するときでも導電性ボール71が溶融せず、基板間隔を導電性ボール71により確実に確保することができ、高い精度で基板間の大略平行度を

保持することができる。よって、また、基板間が導電性ボール71で支持されるため、機械的な応力が作用しても導電性ボール71は容易に変形しない。従って、熱的な応力及び機械的な応力に抗して、基板間の大略平行度を確実に保持することができるとともに、隣接する導電性ボール71との接触も防止することができてショートを防止できる。さらに、導電性ボール71の直径を小さくすることにより、より狭いピッチでの配置が可能となり、配線の自由度が増し、各メモリチップ15への個別配線が可能となり、メモリチップ15とICチップ13、14間での処理速度の向上を図ることができる。

【0070】以下に、図7の上記小型メモ리카ードの製造方法について説明する。

【0071】まず、図1などの上記小型メモ리카ードの製造方法と同様に、図4(A)、図4(B)、図4

(C)に示すように、第1及び第2メモリモジュール221、222及びベース基板モジュール210を製造する。なお、このとき、具体的には図示しないが、ベース基板10の下面には小型メモ리카ードのカード電極16を形成しておくとともに、ベース基板10の上面にはチップコンデンサ18、チップ抵抗19も実装しておく。

【0072】次いで、図8(A)に示すように、ベース基板モジュール210にクリーム半田を印刷供給する。すなわち、ベース基板10の各貫通孔10aに対応する貫通孔すなわちクリーム半田挿入孔54aを有するステンシル54を、ベース基板モジュール210のベース基板10上に重ねて、ステンシル54上をクリーム半田12を移動させながらスキージ55を移動させて、ステンシル54の各クリーム半田挿入孔54aからベース基板10の各貫通孔10a内にクリーム半田12を押し込むように挿入する。このとき、ベース基板10の各貫通孔10aにおいて、クリーム半田12がベース基板10からベース基板10の厚み方向に若干はみ出るようにする。これは、後の工程で、導電性ボール71を各クリーム半田12上にクリーム半田12自体の粘着力により安定して保持できるようにするためである。

【0073】次いで、図8(B)に示すように、ベース基板モジュール210の各クリーム半田12の電極上に導電性ボール71を1個ずつ供給する。すなわち、ベース基板10の各貫通孔10aのクリーム半田12に対応する貫通孔すなわち導電性ボール挿入孔56aを有する導電性ボール挿入用板56を、ベース基板モジュール210のベース基板10上に、好ましくはクリーム半田12に接触しないように、重ねて、導電性ボール挿入用板56上を多数の導電性ボール71を移動させながらスキージ57を移動させて、導電性ボール挿入用板56の各導電性ボール挿入孔56aからベース基板10の各貫通孔10a内のクリーム半田12上に導電性ボール71を1個ずつ載せる。各導電性ボール71は、クリーム半田12に載せられるとき、スキージ57からの圧力により

クリーム半田12内に若干入り込んだ状態となり、クリーム半田12自体の粘着力により位置保持される。各クリーム半田12上に導電性ボール71を1個ずつ確実に載せるため、導電性ボール挿入用板56の厚みは導電性ボール71の直径と同等か上記直径より若干小さくして、1つの導電性ボール挿入孔56a内に複数の導電性ボール71が入り込まず、1個の導電性ボール71しか入らないようにする。一例として、導電性ボール挿入用板56の厚さは0.2μmとして、直径0.3μmの銅ボールが各導電性ボール挿入孔56aに対して1個のみ入るようにする。

【0074】次いで、図8(C)に示すように、ベース基板モジュール210上に載置すべき第1メモリモジュール221の第1メモリ用基板21の各貫通孔21a内にクリーム半田12をディスペンサ51などにより塗布供給する。この工程は、図8(B)の工程と同時又は図8(B)の工程より先に行うようにしてもよい。

【0075】次いで、図9(A)に示すように、ベース基板モジュール210の各クリーム半田12の電極上の導電性ボール71を介して、ベース基板モジュール210上に第1メモリモジュール221を実装する。すなわち、ベース基板10の両端の位置決め孔10zと第1メモリ用基板21の両端の位置決め孔21zとを一致させた状態で、ベース基板10の各クリーム半田12上の導電性ボール71の上に、第1メモリ用基板21の各貫通孔21a内のクリーム半田12が載置されるように、ベース基板10の上に第1メモリ用基板21を重ね合わせある程度の圧力を作用させて、第1メモリ用基板21の各貫通孔21a内のクリーム半田12内に各導電性ボール71の上部の一部が入り込むようにする。これにより、ベース基板10と第1メモリ用基板21とが大略平行に位置決め保持される。なお、ベース基板10の上に第1メモリ用基板21を重ね合わせてある程度の圧力を作用させるとき、ベース基板10の上面と第1メモリ用基板21の下面の2個のメモリチップ15の下面とを仮固定用絶縁性接着剤52により接着させるようにしてもよい。このように、第1メモリ用基板21とベース基板10とを互いに大略平行になるようにするのは、小型メモリカード全体の寸法を規格内の寸法にするためである。

【0076】次いで、図9(B)に示すように、第1メモリモジュール221上に載置すべき第2メモリモジュール222の第2メモリ用基板22の各貫通孔22a内にクリーム半田12をディスペンサ51などにより塗布供給する。この工程は、次の図10(A)の工程と同時又は図10(A)の工程より後に行うようにしてもよい。

【0077】次いで、図10(A)に示すように、ベース基板モジュール210上の第1メモリモジュール221の第1メモリ用基板21の各クリーム半田12の電極

上に導電性ボール71を1個ずつ供給する。すなわち、図8(B)と同様に、第1メモリ用基板21の各貫通孔21aのクリーム半田12に対応する貫通孔すなわち導電性ボール挿入孔58aを有する導電性ボール挿入用板58を、第1メモリモジュール221の第1メモリ用基板21上に、好ましくはクリーム半田12に接触しないように、重ねて、導電性ボール挿入用板58上を多数の導電性ボール71を移動させながらスキージ59を移動させて、導電性ボール挿入用板58の各導電性ボール挿入孔58aから第1メモリ用基板21の各貫通孔21a内のクリーム半田12上に導電性ボール71を1個ずつ載せる。各導電性ボール71は、クリーム半田12に載せられるとき、スキージ59からの圧力によりクリーム半田12内に若干入り込んだ状態となり、クリーム半田12自体の粘着力により位置保持される。各クリーム半田12上に導電性ボール71を1個ずつ確実に載せるため、導電性ボール挿入用板58の厚みは導電性ボール71の直径と同等か上記直径より若干小さくして、1つの導電性ボール挿入孔58a内に複数の導電性ボール71が入り込まないようにする。

【0078】次いで、図10(B)に示すように、第1メモリモジュール221の各クリーム半田12の電極上の導電性ボール71を介して第1メモリモジュール221上に第2メモリモジュール222を実装する。すなわち、ベース基板10の両端の位置決め孔10zと第1メモリ用基板21の両端の位置決め孔21zと第2メモリ用基板22の両端の位置決め孔22zとを一致させた状態で、第1メモリ用基板21の各クリーム半田12上の導電性ボール71の上に、第2メモリ用基板22の各貫通孔22a内のクリーム半田12が載置されるように、第1メモリ用基板21の上に第2メモリ用基板22を重ね合わせある程度の圧力を作用させて、第2メモリ用基板22の各貫通孔22a内のクリーム半田12内に各導電性ボール71の上部の一部が入り込むようにする。これにより、ベース基板10と第1メモリ用基板21と第2メモリ用基板22とが大略平行に位置決め保持される。なお、第1メモリ用基板21の上に第2メモリ用基板22を重ね合わせてある程度の圧力を作用させるとき、第1メモリ用基板21の上面の2個のメモリチップ15の上面と第2メモリ用基板22の下面の2個のメモリチップ15の下面とを仮固定用絶縁性接着剤52により接着させるようにしてもよい。このように、第1メモリ用基板21と第2メモリ用基板22とを互いに大略平行になるようにするのは、小型メモリカード全体の寸法を規格内の寸法にするためである。

【0079】次いで、リフロー炉内に上記モジュールを搬入してリフロー工程を行うことにより、または、ホットエアなどの熱風を吹き付けることにより、各クリーム半田12を溶融して各クリーム半田12と各導電性ボール71とを導通状態のまま固着させることにより、確実

に電氣的に接続する。

【0080】次いで、ベース基板モジュール210のベース基板10と第1メモリモジュール221の第1メモリ用基板21との間、第1メモリモジュール221の第1メモリ用基板21と第2メモリモジュール222の第2メモリ用基板22との間、第2メモリ用基板22の上面の2個のメモリチップ15間を、それぞれ、絶縁性の封止樹脂200で封止する。

【0081】次いで、これを上下ケース30、31内に収納して上記小型メモリカードを得る。

【0082】なお、導電性ボール71の直径は、ベース基板モジュール210と第1メモリモジュール221との間に配置される導電性ボール71と、第1メモリモジュール221と第2メモリモジュール222との間に配置される導電性ボール71とを図7のように異ならせるようにしてもよいが、同一としてもよい（図示せず）。

【0083】なお、上記工程において、第1メモリモジュール221をベース基板モジュール210に実装する前に第1メモリモジュール221の第1メモリ用基板21の各貫通孔21a内にクリーム半田12を供給するようにしたが、第1メモリモジュール221をベース基板モジュール210に実装した後に、第1メモリモジュール221の第1メモリ用基板21の各貫通孔21a内にクリーム半田12を供給するようにしてもよい。同様に、第2メモリモジュール222を第1メモリモジュール221に実装する前に第2メモリモジュール222の第2メモリ用基板22の各貫通孔22a内にクリーム半田12を供給するようにしたが、第2メモリモジュール222を第1メモリモジュール221に実装した後に、第2メモリモジュール222の第2メモリ用基板22の各貫通孔22a内にクリーム半田12を供給するようにしてもよい。

【0084】上記製造方法によれば、基板間の間隔を導電性ボール71により一定に保持しやすく、基板相互の平行度も確保しやすい。

【0085】上記第2実施形態において、導電性ボール71は上記したように印刷により供給するものに限らず、導電性ボール71を1個ずつ又は複数個同時に吸着して供給するようにしてもよい。

【0086】なお、本発明は上記実施形態に限定されるものではなく、その他種々の態様で実施できる。以下の種々の実施形態について説明する。

【0087】（第3実施形態）図11は、本発明の第3実施形態にかかる小型メモリカードの一部断面側面図である。第1及び第2実施形態では、ベース基板モジュール210上に第1メモリモジュール221と第2メモリモジュール222とを重ねて配置しているが、第2メモリモジュール222を省略して、図11に示すように、ベース基板モジュール210上に導電性ワイヤ11を介して第1メモリモジュール221のみを配置するように

してもよい。第1メモリモジュール221の第1メモリ用基板21には、その上下両面に2個ずつメモリチップ15を実装するとともに、第1メモリ用基板21の下面の2個のメモリチップ15の下面をベース基板10の上面に接触させるようにしている。しかしながら、第1メモリ用基板21の下面の2個のメモリチップ15の下面とベース基板10の上面との間に隙間を形成するようにしてもよい（図示せず）。また、導電性ワイヤ11の代わりに、半田又は導電性ボールを使用してもよい（図示せず）。

【0088】このように構成すれば、ベース基板10の上面にのみメモリを実装するものと比較して、高い容量のメモリチップ15を図1又は図7の小型メモリカードより小さなスペースに配置することができる。

【0089】（第4実施形態）図12は、図11の小型メモリカードにおいて、第1メモリモジュール221を2分割した本発明の第4実施形態である。すなわち、ベース基板モジュール210上に導電性ワイヤ11を介して分割型第1メモリモジュール221Aと分割型第1メモリモジュール221Bとをそれぞれ個別に実装するものである。分割型第1メモリモジュール221Aと分割型第1メモリモジュール221Bは、それぞれ、第1メモリ用基板21を2分割したサイズ又はそれ以下のサイズの分割型第1メモリ用基板21A、21Bの上下両面にメモリチップ15を1個ずつ実装したものである。

【0090】このような構成によれば、ベース基板モジュール210上で、分割型第1メモリモジュール221Aと分割型第1メモリモジュール221Bとの配置にそれぞれ自由度を持たせることができる。また、メモリチップ15が実装されたメモリモジュールのバーンイン時に1個のメモリチップ15が不良と判断された場合には、第1メモリモジュール221では残りの3個の正常なメモリも廃棄することになるが、分割型第1メモリモジュール221A又は221Bでは残りの1個のメモリチップ15を廃棄することになるため、メモリチップ15をより効率的に使用することができる。

【0091】（第5実施形態）図13は、本発明の第5実施形態の小型メモリカードの一部であって、図11の小型メモリカードにおいて、第1メモリモジュール221の上下両面にメモリチップ15を実装するのではなく、第1メモリモジュール221の第1メモリ用基板21の上面には2個のメモリチップ15を実装するが、下面には実装せずに、この下面に対向するベース基板10の上面に2個のメモリチップ15を実装するようにしたものである。

【0092】（第6実施形態）図14は、本発明の第6実施形態の小型メモリカードの一部であって、図13の小型メモリカードにおいて、第1メモリモジュール221と同様に、第1メモリモジュール221の上に実装する第2メモリモジュール222でも第2メモリ用基板2

2の上面にのみ2個のメモリチップ15を実装するが、下面には実装しないととも、さらに、第2メモリモジュール222の上に第3メモリモジュール270を実装するようにしたものである。第3メモリモジュール270でも、第1メモリモジュール221と同様に、第3メモリ用基板70の上面にのみ2個のメモリチップ15を実装するが、下面には実装しないようにしている。

【0093】好ましくは、上記第1メモリモジュール221、第2メモリモジュール222、第3メモリモジュール270の各メモリチップ15の中心位置、さらには10 ベース基板モジュール210のICチップ13、14の中心位置を一致させるようにすれば、小型メモリカード全体として、メモリ用基板の長手方向の中心に対して、ほぼ対称にメモリなどの部品を実装することができ、機械的応力又は熱的応力に対して、メモリ用基板の長手方向の中心に関してバランス良く対抗することができ、ベース基板と比較して厚さの薄い各メモリ基板の反りを防止することができる。

【0094】(第7実施形態)図15は、本発明の第7実施形態の小型メモリカードの一部であって、図1及び20 図7の小型メモリカードにおいて、マイクロプロセッサ用ICチップ14とASIC用ICチップ13の2つのICチップの機能を1つのICチップ60にまとめたワンチップ型マイコンに適用する場合の実施形態であり、ベース基板10の下面のICチップを実装しない空いたスペースに、さらに、追加のメモリモジュール61を配置するようにしたものである。追加のメモリモジュール61は、第4メモリ用基板24の上下両面にメモリチップ15が実装されているとともに、メモリ用基板24自体を導電性ワイヤ11などによりベース基板10に実装30 するようにしている。これにより、さらに、メモリ容量を大きくすることができる。

【0095】また、図132は、上記本発明の第7実施形態の変形例にかかる小型メモリカードの一部断面側面図であり、第1メモリモジュール221が2つの第1メモリ用基板21、21に分かれており、第2メモリモジュール222が2つの第2メモリ用基板22、22に分かれている例である。なお、このように、各モジュールを2つ以上の複数のメモリ用基板に分割することは、他の実施形態にも適用可能である。

【0096】(第8実施形態)図16は、本発明の第8実施形態の小型メモリカードの一部であって、メモリ用基板を、単層又は積層基板ではなく、より一層薄いフィルム基板とするものである。すなわち、四角形枠状のフィルム基板63であって、絶縁体樹脂の枠部63b内にリード端子63aが配置され、リード端子63aの上下両面にメモリチップ15の電極が半田75を介してそれぞれ直接的に実装されている。フィルム基板63間の間隔は、半田などの柱状の導電性体62により確保できるようにしている。もちろん、半田などの柱状の導電性体30

62に代えて、導電性ボールやワイヤを使用することもできる(図示せず)。このように、フィルム基板63の両面にメモリチップ15を直接実装することができ、さらに小型化及び薄型化を図ることができるとともに、メモリチップ15の外部に大きくリードを張り出させてベース基板10などに接続させる必要がなくなり、さらに、小型化を図ることができる。

【0097】(第9実施形態)図17は、本発明の第9実施形態の小型メモリカードの一部であって、2枚のフィルム基板65、65を上記第1及び第2メモリ用基板21、22の代わりに使用する別の実施形態であって、より薄型化を図ることができる。66はフィルム基板65、65間及びベース基板10との間での電氣的接続を行う半田又は銅ボールなどの導電体である。

【0098】(第10実施形態)図18は、本発明の第10実施形態の小型メモリカードの一部であって、絶縁体の合成樹脂シート内に金線などの導電ピン67aを多数配置した導電性シート67であって、これをメモリ用基板21、22の電極間、又は、メモリ用基板21の電極とベース基板10の電極との間に配置して、電氣的接続及び両基板間の間隔保持を兼用することができる。

【0099】また、導電ピン67aの代わりに、導電性ペーストとしてもよい。さらには、絶縁性樹脂シート内に導電性粒子が配置された異方性導電性シートを導電性シート67の代わりに使用するようにしてもよい。

【0100】(第11実施形態)図19は、本発明の第11実施形態の小型メモリカードの一部であって、ベース基板10と第1メモリ用基板21とを別々の基板から構成するのではなく、1枚の細長いフレキシブル基板81より構成する実施形態である。すなわち、細長いフレキシブル基板81の一方の端部の両面に2個ずつメモリチップ15を実装し、他方の端部の一方の面に2つのICチップ、すなわち、マイクロプロセッサ用ICチップ14とASIC用ICチップ13とを実装したのち、図19に示すように、U字状に湾曲させてケース内に収納させるものである。

【0101】この例では、第1メモリ用基板21及びベース基板10をフレキシブル基板81とすることができ、薄型化及び軽量化を図ることができるとともに、1枚の基板で構成するため、複数の基板を相互に接続させる工程が不要となる。また、さらに、フレキシブル基板81を長くしてメモリチップ15をさらに実装することにより、第2メモリ用基板22も兼用するようにしてもよい。この例を本発明の第11実施形態の変形例にかかると小型メモリカードとして図133に示す。

【0102】(第12実施形態)図20は、本発明の第12実施形態の小型メモリカードの一部であって、導電性ワイヤ又は導電性ボールに代えて直方体の電子部品を使用する実施形態である。すなわち、各基板の各端部の上下面の電極80a、80bが互に電氣的に接続されて

いる、受動部品。具体的には、コンデンサやチップ抵抗のような直方体のチップ電子部品80を、ベース基板10の電極と上記第1基板21の電極、又は、上記第1基板21の電極と上記第2基板22の電極との間、又は、両方の間に介在させて、ベース基板10と上記第1メモリ用基板21との隙間、又は、上記第1メモリ用基板21と上記第2メモリ用基板22との隙間、又は、両方の隙間を上記直方体のチップ電子部品80の厚みで確保するとともに、ベース基板10の電極と上記第1メモリ用基板21の電極、又は、上記第1メモリ用基板21の電極と上記第2メモリ用基板22の電極、又は、ベース基板10の電極10dと上記第1メモリ用基板21の電極21dと上記第2メモリ用基板22の電極22dとを上記直方体のチップ電子部品80の少なくとも一方の端部の上下面の電極80a又は80bにより接続させる。上記直方体のチップ電子部品80の各端部には、その上下両面及び両側面の4面にわたって互いに連続した電極80a、80bをそれぞれ形成されており、上下面の電極80a、80bは通常は、互いに導通しているため、これを、導電性ワイヤ11又は導電性ボール71の代わりに使用することができる。なお、図20において、21e及び22eはメモリチップ実装予定領域である。

【0103】なお、チップコンデンサやチップ抵抗80を本来の機能として使用する場合には、両端部の電極80a、80bを、ベース基板10の電極と上記第1メモリ用基板21の電極、又は、上記第1メモリ用基板21の電極と上記第2メモリ用基板22の電極とにそれぞれ接続する。チップコンデンサやチップ抵抗80を本来の機能として使用しない場合には、一方の端部の電極80a又は80bのみを、ベース基板10の電極と上記第1メモリ用基板21の電極、又は、上記第1メモリ用基板21の電極と上記第2メモリ用基板22の電極とにそれぞれ接続する。

【0104】(第13、14実施形態)図21及び図22は、本発明の第13、14実施形態の小型メモ리카ードの一部であって、記録媒体のみの機能ではなく、記録媒体としての機能に他の機能を付加する実施形態の一例として、ブルートゥース(Bluetooth)対応の多機能型の小型メモ리카ードの例である。図21では、第1メモリ用基板21の下面側に、メモリを実装する代わりに、RF用LSIチップ78とベースバンドLSIチップ79を実装して、ワイヤレス通信を行うことができるようにするものである。また、図22では、図1の小型メモ리카ードのベース基板10の上面に、RF用LSIチップ78とベースバンドLSIチップ79を実装して、ワイヤレス通信を行うことができるようにするものである。例えば、携帯機器例えば携帯電話器にこのブルートゥース対応の多機能型メモ리카ードを差し込むことにより、携帯電話機をダウンロード端末器として使用することができるようになる。この結果、転送距離10mのワ

イヤレス通信により、音楽や画像などを携帯電話機にダウンロード可能とするものである。また、ブルートゥース対応の多機能型メモ리카ードをそれぞれ差し込んだ携帯機器(例えば音楽プレーヤやデジタルスチルカメラなど)間で、一方の携帯機器から他方の携帯機器に対して、音楽や画像などのデータを転送することも可能となる。ここで、ブルートゥース(Bluetooth)とは、携帯電話機などのモバイル、パーソナルコンピュータ、デジタルカメラ、AV(Audio Visual)機器をはじめとする家電製品、ゲーム機などを無線で接続し、画像や音声などのデータをやりとりするためのワイヤレスのデータ通信技術のことである。

【0105】(第15実施形態)図26は、本発明の第15実施形態にかかる小型メモ리카ードの概略側面図である。図7のようにベース基板10と第1メモリ用基板21との間に導電性ボール71を配置するとともに第1メモリ用基板21と第2メモリ用基板22との間に導電性ボール71を配置するのではなく、この実施形態では、第1メモリ用基板21を貫通する導電性ボール71Aにより、ベース基板10と第2メモリ用基板22との間の間隔を保持するようにしたものである。すなわち、ベース基板10の厚み方向において、ベース基板10と第1メモリ用基板21との間に導電性ボール71Aを1個のみ配置するようにしている。具体的には、直径例えば0.7 $\mu$ m程度の各導電性ボール71Aを第1メモリ用基板21の各貫通孔21a内のクリーム半田12を貫通させて、上記各導電性ボール71Aの上部を第2メモリ用基板22の貫通孔22a内のクリーム半田12に電気的に接合するとともに、上記各導電性ボール71Aの下部をベース基板10の貫通孔10a内のクリーム半田12に電気的に接合するようにしている。このようにすれば、図7の実施形態と比較して、導電性ボールの個数を半分にすることができる。

【0106】(第16実施形態)図27は、本発明の第16実施形態にかかる小型メモ리카ードのケースを除いた状態での平面図である。図61及び図62は、長方形の小型メモ리카ード用の長方形のメモリ用基板の斜視図、該メモリ用基板に長方形のメモリチップが2枚実装された状態の斜視図である。図86及び図87は上記長方形のメモリチップが2枚実装されたメモリ用基板が2層配置された小型メモ리카ードのケースを除いた状態での分解斜視図及び側面図である。

【0107】図27、図61、及び図62に示すように、長方形の小型メモ리카ード用の長方形のメモリ用基板21Eの短辺21xと、長方形のメモリチップ15の長辺15yとが大略平行となるように、メモリ用基板21Eにメモリチップ15が装着されている。言い替えれば、メモリ用基板21Eの長手方向とメモリチップ15の長手方向とが交差するように、例えば直交するように、メモリ用基板21Eにメモリチップ15が装着され

ている。そして、メモリ用基板21Eの対向する一対の短辺21x, 21xのそれぞれの内側に、短辺沿いに接合用電極41, ..., 41が1列に配置されて、他のメモリ用基板21E、ベース基板10の対応する位置に配置された電極10d, ..., 10dと接合されるようにしている。

【0108】このように、長方形のメモリ用基板21の短辺沿いのみ電極41, ..., 41が配置され、長辺沿いには電極が配置されていない。従って、長方形の小型メモリカードに作用した捻れなどにより応力が長方形のメモリ用基板21の長辺21y, 21yに作用しても、図28に示すように長辺21y沿いに電極41, ..., 41が配置されていないので、導通不良や接続不良が発生することがなく、信頼性をさらに向上させることができる。

【0109】もし、図29(A)のようにメモリチップ15, ..., 15が実装されたメモリ用基板21の曲げ又はねじり強度が不充分であると、図29(B)に示すように、メモリチップ15の電極15pとメモリ用基板21の電極21pとを接合する半田接合部12pに応力が集中してクラック12wが発生し、電極間15p, 21pの接合がオープンになってしまい、電氣的接続が不良となってしまう。また、図29(A)に示すように、メモリチップ15に割れ15rが生じてしまい、動作不良、特に、メモリチップ15の一部の読み取り不良又は書き込み不良の原因となってしまう。

【0110】そこで、長方形のメモリ用基板21の短辺沿いのみ電極41, ..., 41が配置された上記第16実施形態のメモリ用基板21について、曲げテスト及びねじりテストを行って、上記不具合の有無について検討する。

【0111】曲げテストは、図30に示すように、メモリチップ15, ..., 15が実装されたメモリ用基板21の両側の短辺側の端部を固定し、例えば短辺側の端部の中央に、60秒間、2kgの外力をメモリチップの長手方向沿いに互に接近する方向に3回作用させて、メモリ用基板21を撓ませることにより行う。また、ねじりテストは、図31に示すように、メモリチップ15, ..., 15が実装されたメモリ用基板21の一方の短辺側の端部を固定し、他方の短辺側の端部を一方の短辺側の端部に対して3kgの外力で3回ねじることにより行う。両テストの結果判定は、電氣的接続の状態、データの書き込み及び読み込みの状態、外観の状態より判定される。

【0112】曲げテスト及びねじりテストの結果、長方形のメモリ用基板21の短辺21x沿いのみ電極41, ..., 41が配置されメモリ用基板21には、メモリチップ15, ..., 15の電極とメモリ用基板21の電極とを接合する半田接合部に応力が集中してクラックが発生することがなく、電極間の接合は確実に維持できて、

電氣的接続も確実に維持できる。また、メモリチップ15, ..., 15に割れも生じず、動作不良、特に、メモリチップ15, ..., 15の一部のリード不良又はライト不良も生じない。

【0113】上記第16実施形態の変形例として、図32に示すように、メモリ用基板21Fの対向する一対の短辺21x, 21xのうちの一方の短辺21xのみの内側に、短辺21x沿いに接合用電極41, ..., 41が2列に配置されて、他のメモリ用基板21、ベース基板10と接合されるようにしてもよい。

【0114】また、上記第16実施形態の別の変形例として、図33に示すように、メモリ用基板21Gの短辺21xに大略平行に、かつ、長辺21yの中央付近に、接合用電極41, ..., 41が2列に配置されて、他のメモリ用基板21、ベース基板10と接合されるようにしてもよい。

【0115】このように構成すれば、2枚のメモリチップ15, 15を1枚のメモリ用基板21に配置するとき、2枚のメモリチップ15, 15の互に近接している長辺15y, 15yの近傍に、当該長辺15y沿いに電極41, ..., 41が配置されることになり、2枚のメモリチップ15, 15のそれぞれの対応電極41, ..., 41への配線長さが互に大略等しくなる。さらに、2枚のメモリチップ15, 15をベース基板10の制御用IC、例えば、マイクロプロセッサ用ICチップ14、又は、ASIC用ICチップ13、又は、マイクロプロセッサ用ICチップ14とASIC用ICチップ13の2つのICチップの機能を1つのICチップ60にまとめたワンチップ型マイコンへ接続するための、メモリ用基板21からベース基板10の上記制御用ICへの配線長さが互に大略等しくなる。この結果、2枚のメモリチップ15, 15の応答速度を大略同一にすることができる。なお、ここでは説明を簡略化するために、メモリ用基板の一方の面について2枚のメモリチップ15, 15を実装する場合について述べたが、メモリ用基板21の表裏両面のそれぞれの面について2枚のメモリチップ15, 15を実装する場合についても同様な作用効果を奏することができる。すなわち、4枚のメモリチップ15, ..., 15の応答速度を大略同一にすることができる。

【0116】なお、第16実施形態及び変形例さらには以下の実施形態において、メモリ用基板21の表裏両面のそれぞれの面について2枚のメモリチップ15, 15を実装する場合について記載しているが、これに限られるものではなく、いずれか一方の面に2枚のメモリチップ15, 15を実装したり、いずれか一方の面に1枚のメモリチップ15を実装するものでもよい。

【0117】(第17実施形態) 図34及び図35は、本発明の第17実施形態にかかる小型メモリカードの上側のメモリ用基板の概略側面図、及び、ケースを除いた

10

20

30

40

50

状態での小型メモ리카ードの概略側面図である。

【0118】本発明の第17実施形態にかかる小型メモ리카ードの下側のメモリ用基板21としては、図27に示す第16実施形態のメモリ用基板21Eを使用する。すなわち、メモリ用基板21Eは、長方形の小型メモ리카ード用の長方形のメモリ用基板21Eの短辺21xと、長方形のメモリチップ15の長辺15yとが大略平行となるように、メモリ用基板21Eにメモリチップ15が装着されている。

【0119】また、上記小型メモ리카ードの上側のメモリ用基板21としては、図34に示すように、長方形のメモリ用基板21Hの短辺21xと、長方形のメモリチップ15Lの短辺15xとが大略平行となるように、メモリ用基板21Hにメモリチップ15、…、15が装着されている。

【0120】これら2枚のメモリ用基板21E、21Hのそれぞれの対向する一対の短辺21x、21x沿いには接合用電極41、…、41がそれぞれ1列に配置されている。そして、図35に示されるように、ベース基板10の上に図27のメモリ用基板21Eを実装し、さらにその上に図34のメモリ用基板21Hを実装することにより、図33に示すように積層している。このとき、上側のメモリ用基板21H及び下側のメモリ用基板21Eのそれぞれの電極41、…、41は、それぞれの対向する長辺の近傍な長辺沿いに配置された電極41、…、41と、電気的に接続する導体の一例としての半田部11x、…、11xによりそれぞれ接続されている。また、下側のメモリ用基板21E及びベース基板10のそれぞれの電極41、…、41及び10x、…、10xは、それぞれの対向する長辺の近傍な長辺沿いに配置された電極41、…、41と、電気的に接続する導体の一例としての半田部11x、…、11xによりそれぞれ接続されている。

【0121】このような構成にすれば、ベース基板10に積層される2枚のメモリ用基板21E、21Hでそれぞれに実装されているメモリチップ15、…、15の長手方向が交差することになり、小型メモ리카ードに曲げ応力又は撓み応力が作用したとき、同一方向にメモリチップ15、…、15が配置されているものと比較して、小型メモ리카ード全体としての機械的強度、曲げ、及びねじり強度をより向上させることができる。

【0122】(第18実施形態)図36、図37、及び、図38は、本発明の第18実施形態にかかる、ケースを除いた状態での小型メモ리카ードの下側の2層のメモリ用基板21E、21Eの概略側面図、下側の2層のメモリ用基板をベース基板10に実装した状態の概略側面図、及び、ベース基板10に実装された下側の2層のメモリ用基板21E、21Eにさらに最上層のメモリ用基板21Jを実装した状態の概略側面図である。

【0123】本発明の第18実施形態にかかる小型メモ

リカードの下側の2層のメモリ用基板21E、21Eにそれぞれ実装した各メモリチップ15の厚さより厚いメモリチップ15tが、上記最上層のメモリ用基板21Jの表裏両面に、メモリ用基板21Eと同様に、図38に示すように、合計4個装着されて配置されている。すなわち、最上層のメモリ用基板21Jの裏面(下面)では、メモリ用基板21Eと同様に、長方形のメモリ用基板21Jの短辺と、大きい厚みの長方形の2枚のメモリチップ15t、15tのそれぞれの長辺とが大略平行となるように、メモリ用基板21Jに2枚のメモリチップ15t、15tがそれぞれ装着されている。また、最上層のメモリ用基板21Jの表面(上面)では、長方形のメモリ用基板21Jの短辺21xと、上記裏面の長方形のメモリチップ15tより幅(短辺)が狭い長方形のメモリチップ15tの短辺とが大略平行となるように、メモリ用基板21Jに2枚のメモリチップ15t、…、15tがそれぞれ装着されている。最上層のメモリ用基板21Jとその下の2層のメモリ用基板21E、21Eのそれぞれの対向する一対の短辺21x、21xのそれぞれの内側に、短辺21x沿いに接合用電極41、…、41が1列に配置されて、他のメモリ用基板21E又はベース基板10の対応する位置に配置された電極41、…、41又は10x、…、10xと接合されるようにしている。

【0124】このように構成することにより、ベース基板の上記一方の面に、同一厚みのメモリチップ15、…、15のモジュール21、…、21を3個重ねて配置するのではなく、ベース基板10の上記一方の面に、厚さの小さいメモリチップ15、…、15のモジュール21E、2Eを2個重ねて配置し、さらにその上に、厚さの大きいメモリチップ15t、…、15tのモジュール21Jを1個配置することにより、小型メモ리카ードの機械的強度、曲げ、及びねじり強度を向上させることができる。

(第19実施形態)図39は、本発明の第19実施形態にかかる、ケースを除いた状態での小型メモ리카ードの概略側面図である。この第19実施形態では、ベース基板10の表面側にメモリ用基板21Eを配置するのみならず、裏面側にも、ベース基板10の表面側と同様に、配置するようにしたものである。すなわち、ベース基板10の表面には、2層のメモリ用基板21E、21Eが積層配置されている。一方、ベース基板10の裏面には、1層のメモリ用基板21Eが配置されている。なお、ベース基板10の電極10x、…、10xとベース基板10の裏面の1層のメモリ用基板21Eの電極41、…、41とは半田部11x、…、11xによりそれぞれ接続されている。

【0125】このように構成すれば、ベース基板10の一方の面にのみ、メモリチップ15、…、15のモジュールを配置するのではなく、ベース基板10の表裏両面



でのメモリチップ15、…、15のモジュールを配置することができ、モジュール配置のバランスを取ることができ、小型メモリカード全体としての機械的強度、曲げ、及びねじり強度を向上させることができる。

【0126】(第20実施形態)次に、本発明の第20実施形態にかかる小型メモリカードでは、メモリ用基板21Eと上ケース30との間、メモリ用基板21E、21E間、メモリ用基板21Eとベース基板10との間、メモリ用基板21Eと上ケース30との間、又は、ベース基板10と上ケース30との間などに、絶縁性の補強樹脂、例えば熱硬化性エポキシ樹脂、を配置することにより、小型メモリカードの補強を行うことができ、特に、小型メモリカードの機械的強度、曲げ、及びねじり強度を向上させることができるものである。なお、この第20実施形態において、絶縁性の補強樹脂をメモリチップ15の側部に配置する場合には、メモリチップ15とメモリ用基板21との間に電気的接合部分の隙間内にも注入して、電気的接合部分の封止を行うことにより、電気的接合部分の保護を行うようにするのが好ましい。よって、絶縁性の補強樹脂は封止樹脂としての機能をも補強機能に併せて有するものが好ましい。

【0127】なお、この第20実施形態は、ベース基板10の表裏両面のうちの少なくとも一方の面に、メモリ用基板21Eが1層配置されている場合、メモリ用基板21Eが2層配置されている場合、メモリ用基板21Eが3層以上配置されている場合などに適用できるものである。

【0128】具体的には、ベース基板10の表面にメモリ用基板21Eが1層配置されている場合において、絶縁性の補強樹脂を塗布する塗布装置の一例としての塗布ノズル50により、ベース基板10の表面の一端部のチップコンデンサ18及びチップ抵抗19が実装された部分に、絶縁性の補強樹脂を図40に示すように塗布して、図41に示すように、絶縁性の補強部44の一例としての一端部補強部44aを形成する。また、メモリ用基板21Eのメモリチップ15と上記一端部補強部44aとの間、及び、メモリ用基板21Eの隣接するメモリチップ15、15間に絶縁性の補強樹脂を塗布などにより供給して、図41に示すように、最上層補強部44c、44cを形成する。上記最上層補強部44c、44cは、メモリ用基板21Eのメモリチップ15の厚み以下の厚さに塗布などしたのち、熱硬化時に、図42に示すように、メモリチップ15の厚みより大きくなり、上記一端部補強部44aの上面と大略同じ高さまで厚くなるようにしてもよい。又は、上記最上層補強部44c、44cは、熱硬化前に、メモリ用基板21Eのメモリチップ15の厚み以上に塗布などして形成してもよい。これにより、メモリチップ15の保護機能を増すことができる。

【0129】このように構成すれば、上記一端部補強部

44aがベース基板10の表面の一端部のチップコンデンサ18及びチップ抵抗19が実装された部分に配置されているので、特に、小型メモリカードのカード電極16側の部分の機械的強度、曲げ、及びねじり強度を向上させることができる。また、最上層補強部44c、44cがメモリ用基板21Eのメモリチップ15、15の隙間などに配置されているので、特に、メモリ用基板21Eの機械的強度、曲げ、及びねじり強度を向上させることができる。また、最上層補強部44c、44cの厚みが、メモリ用基板21Eの表面側のメモリチップ15、15の厚みより大きいいため、上ケース30A側からメモリチップ15、15に対して外力が作用しても、最上層補強部44c、44cで上ケース30Aの内面を支えることにより、メモリチップ15、15に対して外力が作用しにくくなり、メモリチップ15、15の保護機能を奏することができる。

【0130】また、上記第20実施形態の第1変形例として、図43及び図44に示すように、メモリ用基板21Eの各メモリチップ15の両側に、絶縁性の補強樹脂を塗布などにより供給して、最上層補強部44c、44cを形成するようにしてもよい。具体的には、一端部側のメモリ用基板21Eのメモリチップ15と上記一端部補強部44aとの間、及び、メモリ用基板21Eの隣接するメモリチップ15、15間、及び、上記一端部補強部44aとは反対側の他端部側のメモリ用基板21Eとメモリ用基板21Eの他端部の電極41、…、41との間に、絶縁性の補強樹脂を塗布などによりそれぞれ供給して、最上層補強部44c、44c、44cを形成するようにしてもよい。さらに、メモリ用基板21Eとベース基板10との間にも、絶縁性の補強樹脂を塗布などにより供給して、層状のメモリ用基板補強部44dを形成するようにしてもよい。このメモリ用基板補強部44dは、メモリ用基板21Eの電極41、…、41とベース基板10の電極10x、…、10xとを接続する半田部11x、…、11xの周囲までも覆うように配置して、電極接合部分の保護も行えるようにしている。よって、一端部補強部44aと、メモリ用基板補強部44dと、最上層補強部44cとにより、上記補強部44を構成するようにしている。なお、メモリ用基板補強部44dの厚みは、半田部11xの厚みと大略同等、言い替れば、メモリ用基板21Eとベース基板10との隙間と大略同等とする。なお、30Aは小型メモリカードの上ケース、31Aは小型メモリカードの下ケースである。

【0131】このように構成すれば、メモリ用基板21Eとベース基板10との間にメモリ用基板補強部44dが配置されているので、メモリ用基板21Eとベース基板10とが一体化され、小型メモリカード全体としての機械的強度、曲げ、及びねじり強度をより向上させることができる。もちろん、この例でも、上記一端部補強部44a及び各最上層補強部44cによる補強効果を奏す

ることができる。

【0132】また、上記第20実施形態の第2変形例として、図45に示すように、図44の小型メモ리카ードの簡略型であって、一端部補強部44aを省略するとともに、層状のメモリ用基板補強部44dをその短辺側の電極41、…、41を露出させるように短くした層状の第2メモリ用基板補強部44eとして、この第2メモリ用基板補強部44eと最上層補強部44cとにより、上記補強部44を構成するようにしてもよい。なお、層状の第2メモリ用基板補強部44eの厚みは、半田部11xの厚みと大略同等、言い替えれば、メモリ用基板21Eとベース基板10との隙間と大略同等とする。

【0133】このように構成すれば、メモリ用基板21Eの各メモリチップ15の両側に配置された3つの最上層補強部44c、44c、44cと、第2メモリ用基板補強部44eとが配置されているので、メモリ用基板21Eとベース基板10とが大略一体化され、小型メモ리카ード全体としての機械的強度、曲げ、及びねじり強度をより向上させることができる。

【0134】また、上記第20実施形態の第3変形例として、図46に示すように、図44の小型メモ리카ードのさらに簡略された形式であって、一端部補強部44a及び第2メモリ用基板補強部44eを省略して、3つの最上層補強部44cのみにより、上記補強部44を構成するようにしてもよい。

【0135】このように構成すれば、メモリ用基板21Eの表面側の各メモリチップ15の両側に最上層補強部44cが配置されているので、メモリ用基板21Eの表面側の各メモリチップ15を保護及び補強することができて、小型メモ리카ードの機械的強度、曲げ、及びねじり強度をより向上させることができる。

【0136】また、上記第20実施形態の第4変形例として、図47に示すように、図46の小型メモ리카ードに対して一端部補強部44aを加えて、一端部補強部44aと3つの最上層補強部44c、…、44cとにより、上記補強部44を構成するようにしてもよい。

【0137】このように構成すれば、3つの最上層補強部44c、…、44cに加えて一端部補強部44aが配置されているので、メモリ用基板21Eの表面側の各メモリチップ15を保護及び補強することができる上に、小型メモ리카ードのカード電極16側の部分の機械的強度、曲げ、及びねじり強度を向上させることができる。

【0138】また、上記第20実施形態の第5変形例として、図48に示すように、図45の小型メモ리카ードにおいて層状のメモリ用基板補強部44dの代わりに、棒状のメモリ用基板補強部44fとして、最上層補強部44cと棒状のメモリ用基板補強部44fとにより、上記補強部44を構成するようにしてもよい。なお、棒状のメモリ用基板補強部44fの厚みは、半田部11xの厚みと大略同等、言い替えれば、メモリ用基板21Eと

ベース基板10との隙間と大略同等とする。

【0139】このように構成すれば、メモリ用基板21Eを挟んで各最上層補強部44cの下方にすなわちベース基板側に、棒状のメモリ用基板補強部44fが配置されているので、メモリ用基板21の保護及び補強がより安定して確実に行うことができ、小型メモ리카ード全体としての機械的強度、曲げ、及びねじり強度をより向上させることができる。

【0140】また、上記第20実施形態の第6変形例として、図49に示すように、図46の簡略型で、3つの最上層補強部44c、…、44cを繋げて1つの層状の最上層補強部44gとして、この層状の最上層補強部44gにより上記補強部44を構成するようにしてもよい。なお、上記層状の最上層補強部44gの厚みはメモリ用基板21Eの表面側のメモリチップ15の厚み以上とすることにより、各メモリチップ15を確実に保護及び補強できるようにするのが好ましい。

【0141】このように構成すれば、メモリ用基板21Eの表面側の2つのメモリチップ15、15を覆うように1つの層状の最上層補強部44gが配置されているので、メモリ用基板21Eの表面側の2つのメモリチップ15、15の保護及び補強をより安定して確実に行うことができ、小型メモ리카ード全体としての機械的強度、曲げ、及びねじり強度をより向上させることができる。なお、この変形例において、一端部補強部44aをさらに加えて配置するようにしてもよい。

【0142】また、以下の上記第20実施形態の変形例では、ベース基板10の表裏両面のうちの少なくとも一方の面に、メモリ用基板21Eが2層配置されている場合について説明する。

【0143】まず、上記第20実施形態の第7変形例として、図50に示すように、最上層のメモリ用基板21Eの表面に配置される3つの最上層補強部44c、…、44cと、最上層のメモリ用基板21Eとその下層のメモリ用基板21Eとの間に配置されかつ層状のメモリ用基板補強部44dと同様な層状の第3メモリ用基板補強部44iと、下層のメモリ用基板21Eとベース基板10との間に配置される層状のメモリ用基板補強部44dとにより、上記補強部44を構成するようにしてもよい。なお、層状の第3メモリ用基板補強部44iの厚みは、半田部11xの厚みと大略同等、言い替えれば、最上層のメモリ用基板21Eとその下層のメモリ用基板21Eとの隙間と大略同等とする。層状の第3メモリ用基板補強部44iは、層状のメモリ用基板補強部44dと同様に、2つのメモリ用基板21E、21Eの電極41、…、41間を接続する半田部11x、…、11xの周囲までも覆うように配置して、電極接合部分の保護も行えるようにしている。

【0144】このように構成すれば、3つの最上層補強部44c、…、44cと、層状の第3メモリ用基板補強

部44iと、層状のメモリ用基板補強部44dが配置されているので、2枚のメモリ用基板21E、21Eとベース基板10とが一体化され、小型メモリカード全体としての機械的強度、曲げ、及びねじり強度をより向上させることができる。

【0145】また、上記第20実施形態の第8変形例として、図51に示すように、図50の小型メモリカードの層状のメモリ用基板補強部44dをその短辺側の電極41、…、41を露出させるように短くした層状の第2メモリ用基板補強部44eとし、同様に、層状の第3メモリ用基板補強部44iをその短辺側の電極41、…、41を露出させるように短くした層状の第4メモリ用基板補強部44jとするようにしてもよい。この結果、3つの最上層補強部44c、…、44cと、層状の第2メモリ用基板補強部44eと、層状の第4メモリ用基板補強部44jとにより上記補強部44を構成するようによ

【0146】このように構成すれば、3つの最上層補強部44c、…、44cと、層状の第2メモリ用基板補強部44eと、層状の第4メモリ用基板補強部44jとが配置されているので、2枚のメモリ用基板21E、21Eとベース基板10とが一体化され、小型メモリカード全体としての機械的強度、曲げ、及びねじり強度をより向上させることができる。

【0147】また、上記第20実施形態の第9変形例として、図52に示すように、図46と類似して、2層のメモリ用基板21E、21Eのうちの最上層のメモリ用基板21Eにのみ、3つの最上層補強部44c、…、44cを配置することにより、3つの最上層補強部44c、…、44cにより上記補強部44を構成するようによ

【0148】このように構成すれば、最上層のメモリ用基板21Eの表面側の各メモリチップ15の両側に最上層補強部44cが配置されているので、最上層のメモリ用基板21Eの表面側の各メモリチップ15を保護及び補強することができ、小型メモリカードの機械的強度、曲げ、及びねじり強度をより向上させることができる。

【0149】また、上記第20実施形態の第10変形例として、図53に示すように、図47と類似して、図52の小型メモリカードに対して一端部補強部44aを加えて、一端部補強部44aと3つの最上層補強部44c、…、44cとにより、上記補強部44を構成するようによ

【0150】このように構成すれば、3つの最上層補強部44c、…、44cに加えて一端部補強部44aが配置されているので、最上層のメモリ用基板21Eの表面側の各メモリチップ15を保護及び補強することができる上に、小型メモリカードのカード電極16側の部分の機械的強度、曲げ、及びねじり強度を向上させることが

できる。

【0151】また、上記第20実施形態の第11変形例として、図54に示すように、図48と類似して、図51の小型メモリカードにおいて層状のメモリ用基板補強部44e、44jの代わりに、それぞれ、棒状のメモリ用基板補強部44f、44kとして、最上層補強部44cと棒状のメモリ用基板補強部44f、44kとにより、上記補強部44を構成するようによ。なお、棒状のメモリ用基板補強部44fの厚みは、半田部11xの厚みと大略同等、言い替えば、メモリ用基板21Eとベース基板10との隙間と大略同等とする。また、棒状のメモリ用基板補強部44kの厚みは、半田部11xの厚みと大略同等、言い替えば、2層のメモリ用基板21E、21Eとの隙間と大略同等とする。

【0152】このように構成すれば、2つのメモリ用基板21E、21Eを挟んで各最上層補強部44cの下方にすなわちベース基板側に、棒状のメモリ用基板補強部44f、44kが配置されているので、2つのメモリ用基板21E、21Eの保護及び補強がより安定して確実に行うことができ、小型メモリカード全体としての機械的強度、曲げ、及びねじり強度をより向上させることができる。

【0153】また、上記第20実施形態の第12変形例として、図55に示すように、図49と類似して、図52の簡略型で、3つの最上層補強部44c、…、44cを繋げて1つの層状の最上層補強部44gとして、この層状の最上層補強部44gにより上記補強部44を構成するようによ。なお、上記層状の最上層補強部44gの厚みは最上層のメモリ用基板21Eの表面側のメモリチップ15の厚み以上とし、かつ、上ケース30Aの内面との間には隙間があって、上ケース30Aとは別体となるように配置することにより、各メモリチップ15を確実に保護及び補強できるようにするのが好ましい。

【0154】このように構成すれば、メモリ用基板21Eの表面側の2つのメモリチップ15、15を覆うように1つの層状の最上層補強部44gが配置されているので、最上層のメモリ用基板21Eの表面側の2つのメモリチップ15、15の保護及び補強をより安定して確実に行うことができ、小型メモリカード全体としての機械的強度、曲げ、及びねじり強度をより向上させることができる。

【0155】また、上記第20実施形態の第13変形例として、図56に示すように、図55の改良型で、3つの最上層補強部44c、…、44cを繋げて形成した1つの層状の最上層補強部44gを上ケース30Aの内面に接触させて、この層状の最上層補強部44gにより上記補強部44を構成するようによ。なお、上記層状の最上層補強部44gの厚みは最上層のメモリ用基板21Eの表面側のメモリチップ15の厚み以上で、か

つ、上ケース30Aの内面に接触するような寸法とすることにより、各メモリチップ15を確実に保護及び補強できるようにするのが好ましい。

【0156】このように構成すれば、メモリ用基板21Eの表面側の2つのメモリチップ15、15を覆うように1つの層状の最上層補強部44gが配置され、かつ、この層状の最上層補強部44gが上ケース30Aの内面に接触しているので、層状の最上層補強部44gにより、最上層のメモリ用基板21Eが上ケース30Aと一体化されつつ、最上層のメモリ用基板21Eの表面側の2つのメモリチップ15、15の保護及び補強をより安定として確実に行うことができ、小型メモ리카ード全体としての機械的強度、曲げ、及びねじり強度をより向上させることができる。また、上記第20実施形態の第14変形例として、図57に示すように、図55の改良型で、3つの最上層補強部44c、…、44cを繋げる1つの層状の最上層補強部44gに対して、一端部補強部44aをさらに加えて、層状の最上層補強部44gと一端部補強部44aとにより上記補強部44を構成するようにしてもよい。

【0157】このように構成すれば、メモリ用基板21Eの表面側の2つのメモリチップ15、15を覆うように1つの層状の最上層補強部44gが配置されている上に、一端部補強部44aが配置されているので、最上層のメモリ用基板21Eの表面側の2つのメモリチップ15、15の保護及び補強をより安定として確実に行うことができ、かつ、小型メモ리카ードのカード電極16側の部分の機械的強度、曲げ、及びねじり強度を向上させることができ、小型メモ리카ード全体としての機械的強度、曲げ、及びねじり強度をより向上させることができる。

【0158】また、上記第20実施形態の第15変形例として、図58に示すように、図551の改良型で、3つの最上層補強部44c、…、44cと、層状の第3メモリ用基板補強部44iと、層状のメモリ用基板補強部44dとのほかに、一端部補強部44aをさらに加えて、上記補強部44を構成するようにしてもよい。

【0159】このように構成すれば、3つの最上層補強部44c、…、44cと、層状の第3メモリ用基板補強部44iと、層状のメモリ用基板補強部44dと、一端部補強部44aとが配置されているので、2枚のメモリ用基板21E、21Eとベース基板10とが一体化されて、小型メモ리카ード全体としての機械的強度、曲げ、及びねじり強度をより向上させることができる上に、小型メモ리카ードのカード電極16側の部分の機械的強度、曲げ、及びねじり強度を向上させることができる。

【0160】また、上記第20実施形態の第16変形例として、図59及び図60に示すように、図58のさらに改良型であって、3つの最上層補強部44c、…、44cと、層状の第3メモリ用基板補強部44iと、層状

のメモリ用基板補強部44dと、一端部補強部44aとを一体的に絶縁性補強樹脂で形成して、上記補強部44を構成するようにしてもよい。すなわち、図59に平面図として示すように、ベース基板10の対向する一对の短辺の内側の短辺沿いの部分（言い替えば、ベース基板10の一端側である小型メモ리카ードのカード電極16側の部分、及び、ベース基板10の他端側の部分）に大きな幅の幅広の補強部44b、44bを形成するとともに、ベース基板10の対向する一对の長辺の内側の長辺沿いの部分に細長の補強部44n、44nを形成して、小型メモ리카ード全体としての機械的強度、曲げ、及びねじり強度をさらに一層向上させることができる。特に、対向する一对の短辺の内側の短辺沿いの部分は、電極41、…、41の近傍部分であり、電極41、…、41の近傍部分の補強部44b、44bの幅を広くすることにより、電極41、…、41の近傍部分の補強をより確実に行えるようにしている。

【0161】また、上記第20実施形態の第17変形例として、図63及び図64に示すように、図50において最上層のメモリ用基板21Eの表面に配置される3つの最上層補強部44c、…、44cの代わりに、最上層補強部44c、…、44cよりも厚く、かつ、各メモリチップ15よりも厚い3つの最上層補強部44t、…、44tを配置するようにしてもよい。すなわち、3つの最上層補強部44t、…、44tと、層状の第3メモリ用基板補強部44iと、層状のメモリ用基板補強部44dとにより、上記補強部44を構成するようにしてもよい。

【0162】このように構成すれば、3つの最上層補強部44t、…、44tと、層状の第3メモリ用基板補強部44iと、層状のメモリ用基板補強部44dが配置されているので、2枚のメモリ用基板21E、21Eとベース基板10とが一体化され、小型メモ리카ード全体としての機械的強度、曲げ、及びねじり強度をより向上させることができる。また、3つの最上層補強部44t、…、44tの厚みが、メモリ用基板21Eの表面側のメモリチップ15、15の厚みより大きい場合、上ケース30A側からメモリチップ15、15に対して外力が作用しても、最上層補強部44t、…、44tで上ケース30Aの内面を支えることにより、メモリチップ15、15に対して外力が作用しにくくなり、メモリチップ15、15の保護機能を奏することができる。

【0163】また、上記第20実施形態の第18変形例として、図65に示すように、図51において最上層のメモリ用基板21Eの表面に配置される3つの最上層補強部44c、…、44cの代わりに、最上層補強部44c、…、44cよりも厚く、かつ、各メモリチップ15よりも厚い3つの最上層補強部44t、…、44tを配置するようにしてもよい。すなわち、3つの最上層補強部44t、…、44tと、層状の第2メモリ用基板補強

部44eと、層状の第4メモリ用基板補強部44jとにより上記補強部44を構成するようにしてもよい。

【0164】このように構成すれば、3つの最上層補強部44t、…、44tと、層状の第2メモリ用基板補強部44eと、層状の第4メモリ用基板補強部44jとが配置されているので、2枚のメモリ用基板21E、21Eとベース基板10とが一体化され、小型メモ리카ード全体としての機械的強度、曲げ、及びねじり強度をより向上させることができる。また、3つの最上層補強部44t、…、44tの厚みが、メモリ用基板21Eの表面側のメモリチップ15、15の厚みより大きい

ため、上ケース30A側からメモリチップ15、15に対して外力が作用しても、最上層補強部44t、…、44tで上ケース30Aの内面を支えることにより、メモリチップ15、15に対して外力が作用しにくくなり、メモリチップ15、15の保護機能を奏することができる。

【0165】また、上記第20実施形態の第19変形例として、図66に示すように、図52において最上層のメモリ用基板21Eの表面に配置される3つの最上層補強部44c、…、44cの代わりに、最上層補強部44c、…、44cよりも厚く、かつ、各メモリチップ15よりも厚い3つの最上層補強部44t、…、44tを配置して、3つの最上層補強部44t、…、44tにより上記補強部44を構成するようにしてもよい。

【0166】このように構成すれば、最上層のメモリ用基板21Eの表面側の各メモリチップ15の両側に最上層補強部44t、…、44tが配置されているので、最上層のメモリ用基板21Eの表面側の各メモリチップ15を保護及び補強することができ、小型メモ리카ードの機械的強度、曲げ、及びねじり強度をより向上させる

ことができる。すなわち、3つの最上層補強部44t、…、44tの厚みが、メモリ用基板21Eの表面側のメモリチップ15、15の厚みより大きい

ため、上ケース30A側からメモリチップ15、15に対して外力が作用しても、最上層補強部44t、…、44tで上ケース30Aの内面を支えることにより、メモリチップ15、15に対して外力が作用しにくくなり、メモリチップ15、15の保護機能を奏することができる。

【0167】また、上記第20実施形態の第20変形例として、図67に示すように、図54において最上層のメモリ用基板21Eの表面に配置される3つの最上層補強部44c、…、44cの代わりに、最上層補強部44c、…、44cよりも厚く、かつ、各メモリチップ15よりも厚い3つの最上層補強部44t、…、44tと棒状のメモリ用基板補強部44f、44kとにより、上記補強部44を構成するようにしてもよい。

【0168】このように構成すれば、2つのメモリ用基板21E、21Eを挟んで各最上層補強部44cの下方にすなわちベース基板側に、棒状のメモリ用基板補強部44f、44kが配置されているので、2つのメモリ用

基板21E、21Eの保護及び補強がより安定して確実に行うことができ、小型メモ리카ード全体としての機械的強度、曲げ、及びねじり強度をより向上させることができる。また、3つの最上層補強部44t、…、44tの厚みが、メモリ用基板21Eの表面側のメモリチップ15、15の厚みより大きい

ため、上ケース30A側からメモリチップ15、15に対して外力が作用しても、最上層補強部44t、…、44tで上ケース30Aの内面を支えることにより、メモリチップ15、15に対して外力が作用しにくくなり、メモリチップ15、15の保護機能を奏することができる。

【0169】(第21実施形態)次に、本発明の第21実施形態にかかる小型メモ리카ードでは、メモリ用基板21の表裏両面に配置するメモリチップ15、…、15の位置を大略同一となるように、メモリチップ15、…、15をメモリ用基板21の表裏両面に圧接固定する。

【0170】これは、メモリ用基板21の表裏の電極21p、…、21pのレイアウトがずれている場合には、メモリ用基板21の表裏面にメモリチップ15、15をそれぞれ圧接接合したときに荷重の不均一が発生して、例えば、図68の表面側の右端の接合部分及び裏面側の左端部分に示すように、メモリ用基板21の電極21pとメモリチップ15の電極15pとの間に接合不良が発生する可能性がある。

【0171】このような電極間の接合不良の発生を防止するため、図69に示すように、メモリ用基板21の表裏両面に配置する電極15p、…、15pの位置言い換えればレイアウトを大略同一とし、かつ、電極形状を同一にする。より具体的には、メモリ用基板21の電極21p、…、21pの中心及びランド設計を同位置、同一形状とする。そして、図70に示すように、メモリ用基板21の表裏両面のいずれか一方の面にメモリチップ15を圧接固定したのち、図71に示すように、メモリ用基板21の表裏両面のいずれか他方の面にメモリチップ15を圧接固定することにより、圧接固定時のメモリ用基板21の変形を均一にして無くし、接合不良を無くす。

【0172】より具体的な実装工程としては、図70に示すように、メモリ用基板21の表裏両面のいずれか一方の面にメモリチップ15を圧接固定する。次いで、図72に示すように、メモリ用基板21とメモリチップ15との間に絶縁性封止樹脂200を充填して、電極15pと電極21pとの電極接合部分を封止する。次いで、図73に示すように、メモリ用基板載置ステージ49上にメモリ用基板21をその他方の面を上向きに載置したのち、メモリ用基板21の周囲を枠形状又は棒形状の基板固定治具48によりメモリ用基板載置ステージ49に向けて押さえつけて、メモリ用基板21の反りを矯正する。この状態で、図74に示すように、加熱圧着ツール

47により、メモリ用基板21の他方の面とメモリチップ15との間に絶縁性熱硬化性樹脂シートを介在させつつメモリ用基板21の他方の面にメモリチップ15を加熱しつつ圧接固定して、メモリ用基板21とメモリチップ15との間に絶縁性封止樹脂200を充填し、図75に示すように電極15pと電極21pとの電極接合部分を封止する。

【0173】また、別の実装工程としては、図70に示すように、メモリ用基板21の表裏両面のいずれか一方の面にメモリチップ15を仮固定する。次いで、図71に示すように、メモリ用基板21の表裏両面のいずれか他方の面にメモリチップ15を仮固定する。次いで、図76に示すように、加熱圧着ツール46上に、メモリチップ15が固定されたメモリ用基板21の他方の面が上向きとなるように載置したのち、加熱圧着ツール46と加熱圧着ツール47とが互いに近接する方向に同時駆動されることにより、メモリ用基板21の両方面にメモリチップ15、15をそれぞれ同時に圧接固定する。次いで、メモリ用基板21の一方の面とメモリチップ15との間に絶縁性封止樹脂200を充填して、電極15pと電極21pとの電極接合部分を封止するとともに、メモリ用基板21の他方の面とメモリチップ15との間に絶縁性封止樹脂200を充填して、電極15pと電極21pとの電極接合部分を封止する。

【0174】このような構成にすれば、メモリ用基板21の表裏両面に配置するメモリチップ15、…、15の位置を表裏両面で同一にすることにより、メモリチップ15、…、15をメモリ用基板21に圧接した結果、メモリ用基板21の表裏両面での線膨張係数が大略同一となり、メモリ用基板21の表裏両面に生じる反りを相殺することができて、メモリ用基板21の反りを大幅に軽減するか又は無くすることができる。

【0175】(第22実施形態) 本発明の第22実施形態にかかる小型メモリカードでは、メモリ用基板21の中央部とベース基板10との間に接合部11pを配置して、メモリ用基板21の反り防止、曲げ強度の信頼性の向上を図るようにしたものである。

【0176】すなわち、図77に示すように、2枚のメモリチップ15、15が表裏両面にそれぞれ実装されたメモリ用基板21をベース基板10に実装したとき、メモリ用基板21の電極41、…、41が、メモリ用基板21の各短辺近傍に各短辺沿いに配置されているため、メモリ用基板21はその長手方向両端部でのみベース基板10に支持されることになり、中央部は何も支持されていない状態となっている。このため、メモリ用基板21とベース基板10との線膨張係数や厚みの差に基づいてメモリ用基板21が反りやすくなる。この結果、例えば、メモリ用基板21が上向きに反った状態で上ケース30Aと下ケース31Aとの間に収納されると、図78に示すように、メモリ用基板21の中央部が上ケース3

0Aの内面に当接して、上ケース30Aの中央部に割れが生じる可能性がある。

【0177】これを防止するため、図79及び図80及び図87に示すようにメモリ用基板21の長手方向の中央部とベース基板10との間に接合部11pを配置して、メモリ用基板21とベース基板10との間の隙間を安定して一定に保持できるようにして、メモリ用基板21の反り防止、曲げ強度の信頼性の向上を図るようにしている。接合部11pとしては、メモリ用基板21とベース基板10との間の隙間を一定に保持できればよく、半田部11xと大略同等の高さとし、導電性であっても、無くてもよい。接合部11pの形状も、ボール状、棒状など任意の形状でよい。接合部11pの個数も、メモリ用基板21とベース基板10との間の隙間を安定して一定に保持できればよく、1個又は2個以上でもよい。

【0178】また、2層のメモリ用基板21、21をベース基板10に実装する場合でも、図81及び図82に示すように、下側のメモリ用基板21とベース基板10との間に上記接合部11pを配置するとともに、2層のメモリ用基板21、21間にも上記接合部11pを配置することにより、メモリ用基板21とベース基板10との間の隙間を安定して一定に保持できる上に、メモリ用基板21、21との間の隙間も安定して一定に保持できるようにして、2層のメモリ用基板21、21の反り防止、曲げ強度の信頼性の向上を図ることができる。

【0179】なお、上記実施形態では、メモリ用基板21の長手方向の両端部に電極41、…、41が配置されているため、電極41、…、41が配置されていない中央部に接合部11pを配置するようにしているが、これに限られるものではなく、図33に示すようにメモリ用基板21の長手方向の中央部に電極41、…、41が配置されている場合には、メモリ用基板21の長手方向の両端部に接合部11pをそれぞれ配置するようにしてもよい。また、図32に示すようにメモリ用基板21の長手方向の一端部にのみ電極41、…、41が配置されている場合には、メモリ用基板21の長手方向の他端部又は他端部と中央部に接合部11pをそれぞれ配置するようにしてもよい。また、接合部として、他の基板とは電氣的に接続しないか、又は、接続しても小型メモリカードとして必要な回路を形成しない電極41、…、41を配置するようにしてもよい。

【0180】(第23実施形態) 本発明の第23実施形態にかかる小型メモリカードでは、メモリ用基板21の基板表裏両面間に形成された回路を接合するため、メモリ用基板21に貫通孔21qを形成し、その貫通孔21qの内周面に導体層21rを形成し、さらに上記導体層21rを覆う合成樹脂製のレジスト21sが配置されている。このレジスト21sのメモリ用基板21に対する突出量をメモリチップ接合用電極21pの突出量と大略

同一とするものである。

【0181】すなわち、図83に示すように、メモリ用基板21のレジスト21sの突出量が他の電極すなわちメモリチップ接合用電極21pの突出量より大きくなっていることがある。このような場合、メモリチップ15をメモリ用基板21に圧接接合するときに、レジスト21sとメモリチップ接合用電極21pとの突出量の差によりメモリ用基板21に作用する荷重が不均一なものとなり、例えば、図68の表面側の右端の接合部分及び裏面側の左端部分に示すように、メモリ用基板21の電極21pとメモリチップ15の電極15pとの間に接合不良が発生する可能性がある。

【0182】そこで、上記レジスト21sを研磨などして、図84に示すように、メモリチップ15の電極15pの突出量と大略同一高さの突出量を有するレジスト21tとする。このようにすれば、メモリチップ15の電極15pの突出量とレジスト21tの突出量とが大略同一高さとなり、メモリチップ15をメモリ用基板21に圧接接合するときに、メモリ用基板21に作用する荷重が均一なものとなり、メモリ用基板21の電極21pとメモリチップ15の電極15pとの間に接合不良が発生するのを防止することができる。

【0183】また、上記第23実施形態の変形例として、図85に示すように、メモリ用基板21の貫通孔21qの導体層21r内をメッキなどにより埋めて、導体層21rの開口より突出しないメッキ部21uを形成するようにしてもよい。このような構成でも、メッキ部21uがメモリチップ15の電極15pの突出量よりも低い場合、メモリチップ15をメモリ用基板21に圧接接合するときに、メモリ用基板21に作用する荷重が均一なものとなり、メモリ用基板21の電極21pとメモリチップ15の電極15pとの間に接合不良が発生するのを防止することができる。

【0184】(第24実施形態) 本発明の第24実施形態にかかる小型メモリカードでは、メモリ用基板21に、基板間を電氣的に接続する導体(上記導電性ワイヤ11、53など、導電性ボール71など、半田部11xなど)を配置せず、図95及び図100に示すように、電極41、…、41上に突起電極11t、…、11tを一体的に形成して、上記導体の配置を不要とするものである。なお、突起電極11t、…、11tは、製造工程において、メモリ用基板21の電極41、…、41上に固定されるものとして説明するが、製造工程において、ベース基板10の電極10、…、10上に固定されるようにしてもよい。

【0185】各突起電極11tの高さは、メモリチップ15の厚み以上とし、メモリ用基板21の電極41、…、41上にメッキにより上記突起電極11tを一体的に形成することができる。

【0186】この突起電極11t、…、11tを利用し

た小型メモリカードの製造方法について以下に説明する。

【0187】まず、この突起電極11t、…、11tを利用した小型メモリカードの製造方法を説明する前に、比較のため、突起電極11t、…、11tを利用しない小型メモリカードの製造方法を説明する。

【0188】まず、図88に示すように、ベース基板モジュール210のベース基板10にクリーム半田を印刷供給する。すなわち、ベース基板10の各貫通孔10aに対応する貫通孔すなわちクリーム半田挿入孔54aを有するステンシル54を、ベース基板モジュール210のベース基板10上に重ねて、ステンシル54上をクリーム半田12を移動させながらスキージ55を移動させて、ステンシル54の各クリーム半田挿入孔54aからベース基板10の各貫通孔10a内にクリーム半田12を押し込むように挿入して、図89に示すように電極10x上にクリーム半田12を配置する。このとき、ベース基板10の各貫通孔10aにおいて、クリーム半田12がベース基板10からベース基板10の厚み方向に若干はみ出るようにする。これは、後の工程で、導電性ボール(例えば半田ボール又は銅ボール)71を各クリーム半田12上にクリーム半田12自体の粘着力により安定して保持できるようにするためである。なお、クリーム半田を印刷供給する代わりにディスペンサにより供給するようにしてもよい。

【0189】これと同時に又はこの後、メモリ用基板モジュールのメモリ用基板21にも、上記と同様に、メモリ用基板21の各貫通孔内にクリーム半田12を押し込むように挿入して、図90に示すように電極41上にクリーム半田12を配置する。なお、クリーム半田を印刷供給する代わりにディスペンサにより供給するようにしてもよい。

【0190】次いで、図91に示すように、メモリ用基板モジュールのメモリ用基板21の各クリーム半田12の電極上に導電性ボール71を1個ずつ供給する。各導電性ボール71は、クリーム半田12に載せられるとき、クリーム半田12内に若干入り込んだ状態として、クリーム半田12自体の粘着力により位置保持されるようにする。

【0191】次いで、図92に示すように上下を反転させたのち、ベース基板10の各クリーム半田12とメモリ用基板21の各導電性ボール71とが対応するようにベース基板10とメモリ用基板21とを位置決めする。次いで、図93に示すように、導電性ボール71、…、71を有するメモリ用基板21をベース基板10に重ね合わせて積層し、ある程度の圧力を作用させて、メモリ用基板21の各導電性ボール71の一部がベース基板10のクリーム半田12内に入り込むようにする。これにより、図94に示すようにベース基板10とメモリ用基板21とが大略平行に位置決め保持される。なお、図9

4では、各導電性ボール71とメモリ用基板21側の電極41はクリーム半田12内に埋め込まれた状態となっている。

【0192】このようにして、突起電極11t, ..., 11tを利用しない小型メモリカードが製造されるが、導電性ボール71, ..., 71の供給が手間であり、時間がかかり、かつ、電極41, 41間のピッチがより狭いピッチ、例えば、0.3mm以下となると、基板接合時に半田12同士が接触するといった短絡を発生させる可能性がある。これを確実に防止するためには、上記突起電極11t, ..., 11tを使用するのが好ましい。以下、この突起電極11t, ..., 11tを利用した小型メモリカードの製造方法を説明する。

【0193】まず、図88及び図89と同様にベース基板10側の各電極10xに半田12を配置する。

【0194】次いで、図96に示すように、メモリ用基板21の各電極41上にメッキなどにより突起電極11tを形成する。その後、図97に示すように、メモリチップ15, ..., 15をメモリ用基板21に実装する。なお、2層のメモリ用基板21をベース基板10に実装する場合には、下側のメモリ用基板21は、図98に示すように、両面の各電極41上にメッキなどにより突起電極11tを形成する。

【0195】次いで、図99に示すように、メモリ用基板21の各電極41上の突起電極11tとベース基板10の各電極10xとが対応するようにベース基板10とメモリ用基板21とを位置決めする。次いで、メモリ用基板21をベース基板10に重ね合わせて積層し、ある程度の圧力を作用させて、メモリ用基板21の各突起電極11tの一部がベース基板10の各電極10x上のク

リーム半田12内に入り込むようにする。これにより、図100に示すようにベース基板10とメモリ用基板21とが大略平行に位置決め保持される。

【0196】このような構成によれば、導電性ボール71, ..., 71が不要となり、導電性ボール71, ..., 71を供給する手間及び時間がなくなり、かつ、電極41, 41間のピッチがより狭いピッチ、例えば、0.3mm以下となっても、メモリ用基板21の突起電極11tベース基板10の半田12内に若干入り込むだけであるため、半田12が大きく外側に流れ出すことがなく、基板接合時に半田12同士が接触するといった短絡を防止することができる。

【0197】(第25実施形態)本発明の第25実施形態にかかる小型メモリカードでは、メモリ用基板21の電極41, ..., 41とベース基板10の電極10x, ..., 10xとを電気的に接続する導体(上記導電性ワイヤ11, 53など、導電性ボール71など、半田部11xなど)、及び/又は、複数のメモリ用基板21, 21の電極41, ..., 41同士を電気的に接続する導体(上記導電性ワイヤ11, 53など、導電性ボール71など、

半田部11xなど)として、各電極毎に配置するのではなく、複数の電極間を一括して、しかも、それぞれ独立的に接続させることができる複数の導体部を備える1つのインターポーザ90を配置するようにしたものである。

【0198】すなわち、図101及び図102及び図121に示すように、各インターポーザ90は、絶縁性材料、例えばガラスエポキシ基板と同様な材料から構成したり又は絶縁性の合成樹脂シートから構成される直方体形状の絶縁部91の表裏両面に、それぞれ、電極間隔毎に独立して円板状の導体部92, ..., 92を配置している。また、各導体部92には、導体部92に接触し、かつ、導体部92より小径の円柱状の接続部93を絶縁部91を貫通して配置して、絶縁部91の表裏両面に配置された各導体部92同士を1つの接続部93によりそれぞれ独立して電気的に、上記ベース基板10のメモリ用基板実装面に交差する方向(例えば直交する方向)に、接続するようにしている。

【0199】よって、ベース基板10の電極10x, ..., 10xとメモリ用基板21の電極41, ..., 41との間にクリーム半田12を介してインターポーザ90を挟み込んでクリーム半田12, ..., 12により固定すれば、図101のベース基板10から見て、ベース基板10の各電極10xは、クリーム半田12、インターポーザ90の表面側の円板状の導体部92、円柱状の接続部93、インターポーザ90の裏面側の円板状の導体部92、クリーム半田12、メモリ用基板21の各電極41の順に電気的に接続されることになる。

【0200】また、複数のメモリ用基板21, 21の電極41, ..., 41同士間にクリーム半田12, ..., 12を介してインターポーザ90を挟み込んでクリーム半田12により固定すれば、図101の上側(ベース基板側)のメモリ用基板21から見て、上側のメモリ用基板21の各電極41は、クリーム半田12、インターポーザ90の表面側の円板状の導体部92、円柱状の接続部93、インターポーザ90の裏面側の円板状の導体部92、クリーム半田12、下側のメモリ用基板21の各電極41の順に電気的に接続されることになる。

【0201】次に、インターポーザ90を利用する実装方法について説明する。

【0202】まず、図103に示すように、ベース基板モジュール210のベース基板10にクリーム半田を印刷供給する。すなわち、ベース基板10の各貫通孔10aに対応する貫通孔すなわちクリーム半田挿入孔54aを有するステンシル54を、ベース基板モジュール210のベース基板10上に重ねて、ステンシル54上をクリーム半田12を移動させながらスキージ55を移動させて、ステンシル54の各クリーム半田挿入孔54aからベース基板10の各貫通孔10a内にクリーム半田12を押し込むように挿入して、図104に示すように電



極10x上にクリーム半田12を配置する。このとき、ベース基板10の各貫通孔10aにおいて、クリーム半田12がベース基板10からベース基板10の厚み方向に若干はみ出るようにする。これは、後の工程で、インターポーザ90を各クリーム半田12上にクリーム半田12自体の粘着力により安定して保持できるようにするためである。なお、クリーム半田を印刷供給する代わりにディスペンサにより供給するようにしてもよい。

【0203】これと同時に又はこの後、メモリ用基板モジュールのメモリ用基板21にも、上記と同様に、メモリ用基板21の各貫通孔内にクリーム半田12を押し込むように挿入して、図105に示すように電極41上にクリーム半田12を配置する。なお、クリーム半田を印刷供給する代わりにディスペンサにより供給するようにしてもよい。

【0204】次いで、図106に示すように、メモリ用基板モジュールのメモリ用基板21の各クリーム半田12、…、12の各列毎に1本のインターポーザ90を配置する。このとき、各インターポーザ90の各円板状の導体部92は、各クリーム半田12に載せられるようにする。

【0205】次いで、図107に示すように上下を反転させたのち、ベース基板10の各クリーム半田12とメモリ用基板21上の各インターポーザ90の各円板状の導体部92とが対応するようにベース基板10とメモリ用基板21とを位置決めする。次いで、図108及び図109に示すように、インターポーザ90、…、90を有するメモリ用基板21をベース基板10に重ね合わせて積層し、ある程度の圧力を作用させて、メモリ用基板21の各インターポーザ90の各円板状の導体部92の一部がベース基板10の各クリーム半田12に接触するようにする。これにより、図109に示すようにベース基板10とメモリ用基板21とが大略平行に位置決め保持される。

【0206】なお、図109の接合状態において、図110に示すように、メモリ用基板21の電極41の厚さと、メモリ用基板21の電極41上のクリーム半田12の厚さと、インターポーザ90の厚さと、ベース基板10の電極10x上のクリーム半田12の厚さと、ベース基板10の電極10xの厚さとの合計は、メモリ用基板21とベース基板10との間に配置されるメモリチップ15の厚さと、メモリチップ15の電極（例えば電極上に突出形成されたパンプ）の厚さと、メモリ用基板21の電極21pの厚さとの合計と同等以上とすることにより、圧接時にメモリチップ15に過負荷が作用しないようにしている。一例としては、インターポーザ90の厚みはメモリチップ15の厚み以上とする。

【0207】このような構成によれば、導電性ボール71、…、71を個別に供給する手間及び時間が不要となり、複数の電極41、…、41又は10x、…、10x

上のクリーム半田12、…、12に対して1つのインターポーザ90を配置するだけでよく、実装手間及び時間を大幅に削減することができる。また、電極41、41間のピッチがより狭いピッチ、例えば、0.3mm以下となっても、インターポーザ90の隣接導体部92、92間の間隔を電極41、41間のピッチに対応して小さくすればよく、半田12が大きく外側に流れ出すことがなく、基板接合時に半田12同士が接触するといった短絡を防止することができる。

【0208】次に、本発明の第25実施形態の変形例にかかる小型メモリカードを図111及び図112及び図121などに示す。

【0209】この変形例にかかるインターポーザ95は、貫通孔を有することにより、上記インターポーザ90の構造を簡略化したものである。すなわち、各インターポーザ95は、絶縁性材料、例えばガラスエポキシ基板と同様な材料から構成される直方体形状の絶縁部96に、電極間隔毎に絶縁部96の表裏両面を貫通する貫通孔96a、…、96aを形成している。各貫通孔96aの表裏両面側の開口部周縁と貫通孔内周面にはメッキ層などの導体層97を形成して、図119及び図120に示すように、各貫通孔96aの表面側の円環状の導体部97aと、各貫通孔96aの裏面側の円環状の導体部97cとを、貫通孔内周面の円筒状導体部97bでそれぞれ独立して電氣的に、上記ベース基板10のメモリ用基板実装面に交差する方向（例えば直交する方向）に、接続するようにしている。

【0210】よって、ベース基板10の電極10x、…、10xとメモリ用基板21の電極41、…、41との間にクリーム半田12を介してインターポーザ95を挟み込んでクリーム半田12、…、12により固定すれば、図111のベース基板10から見て、ベース基板10の各電極10xは、クリーム半田12、インターポーザ95の表面側の円環状の導体部97a、円筒状導体部97b、インターポーザ95の裏面側の円環状の導体部97c、クリーム半田12、メモリ用基板21の各電極41の順に電氣的に接続されることになる。

【0211】また、複数のメモリ用基板21、21の電極41、…、41同士間にクリーム半田12、…、12を介してインターポーザ90を挟み込んでクリーム半田12により固定すれば、図101の上側（ベース基板側）のメモリ用基板21から見て、上側のメモリ用基板21の各電極41は、クリーム半田12、インターポーザ95の表面側の円環状の導体部97a、円筒状導体部97b、インターポーザ95の裏面側の円環状の導体部97c、クリーム半田12、下側のメモリ用基板21の各電極41の順に電氣的に接続されることになる。

【0212】次に、インターポーザ95を利用する実装方法について説明する。

【0213】まず、図103に示すように、ベース基板

モジュール210のベース基板10にクリーム半田を印刷供給する。すなわち、ベース基板10の各貫通孔10aに対応する貫通孔すなわちクリーム半田挿入孔54aを有するステンシル54を、ベース基板モジュール210のベース基板10上に重ねて、ステンシル54上をクリーム半田12を移動させながらスキージ55を移動させて、ステンシル54の各クリーム半田挿入孔54aからベース基板10の各貫通孔10a内にクリーム半田12を押し込むように挿入して、図104に示すように電極10x上にクリーム半田12を配置する。このとき、

ベース基板10の各貫通孔10aにおいて、クリーム半田12がベース基板10からベース基板10の厚み方向に若干はみ出るようにする。これは、後の工程で、インターポーザ95を各クリーム半田12上にクリーム半田12自体の粘着力により安定して保持できるようにするためである。なお、クリーム半田を印刷供給する代わりにディスペンサにより供給するようにしてもよい。

【0214】これと同時に又はこの後、メモリ用基板モジュールのメモリ用基板21にも、上記と同様に、メモリ用基板21の各貫通孔内にクリーム半田12を押し込むように挿入して、図113に示すように電極41上にクリーム半田12を配置する。なお、クリーム半田を印刷供給する代わりにディスペンサにより供給するようにしてもよい。

【0215】次いで、図114、図119、及び図120に示すように、メモリ用基板モジュールのメモリ用基板21の各クリーム半田12、…、12の各列毎に1本のインターポーザ95を配置する。このとき、各インターポーザ95の各円環状の導体部97cは、各クリーム半田12に載せられるようにする。

【0216】次いで、図115に示すように上下を反転させたのち、ベース基板10の各クリーム半田12とメモリ用基板21上の各インターポーザ90の各円環状の導体部97aとが対応するようにベース基板10とメモリ用基板21とを位置決めする。次いで、図116及び図109に示すように、インターポーザ95、…、95を有するメモリ用基板21をベース基板10に重ね合わせて積層し、ある程度の圧力を作用させて、メモリ用基板21の各インターポーザ95の各円環状の導体部97aの一部がベース基板10の各クリーム半田12に接触するようにする。これにより、図117に示すようにベース基板10とメモリ用基板21とが大略平行に位置決め保持される。

【0217】なお、図117の接合状態において、図118に示すように、メモリ用基板21の電極41の厚さと、メモリ用基板21の電極41上のクリーム半田12の厚さと、インターポーザ95の厚さと、ベース基板10の電極10x上のクリーム半田12の厚さと、ベース基

板10の電極10xの厚さとの合計は、メモリ用基板21とベース基板10との間に配置されるメモリチップ15の厚さと、メモリチップ15の電極（例えば電極上に突出形成されたパンプ）の厚さと、メモリ用基板21の電極21pの厚さとの合計と同等以上とすることにより、圧接時にメモリチップ15に過負荷が作用しないようにしている。一例としては、インターポーザ95の厚みはメモリチップ15の厚み以上とする。

【0218】このような構成によれば、導電性ボール71、…、71を個別に供給する手間及び時間が不要となり、複数の電極41、…、41又は10x、…、10x上のクリーム半田12、…、12に対して1つのインターポーザ95を配置するだけでよく、実装手間及び時間を大幅に削減することができる。また、電極41、41間のピッチがより狭いピッチ、例えば、0.3mm以下となっても、インターポーザ95の隣接貫通孔96a、具体的には隣接する円環状の導体部97a、97a又は97c、97c間の間隔を電極41、41間のピッチに対応して小さくすればよく、半田12が大きく外側に流れ出すことがなく、基板接合時に半田12同士が接触するといった短絡を防止することができる。また、図120に示すように、メモリ用基板21の各インターポーザ95の各円環状の導体部97aの一部がベース基板10の各クリーム半田12に接触させるとき、導体層97内にクリーム半田12が入り込むことにより、メモリ用基板21の電極41の隣接する電極側にクリーム半田12が広がりにくくなり、短絡を確実に防止することができる。

【0219】さらに、上記第25実施形態の別の変形例にかかる小型メモリカードでは、第22実施形態と類似して、メモリ用基板21の電極接合部分の無い部分に接合部と同様な機能を有するダミー基板99を配置するようにしてもよい。

【0220】すなわち、図122に示すように、2枚のメモリチップ15、15が表裏両面にそれぞれ実装されたメモリ用基板21をベース基板10に実装したとき、メモリ用基板21の電極41、…、41が、メモリ用基板21の各短辺近傍に各短辺沿いに配置されているため、インターポーザ90、90又は95、95を介して、メモリ用基板21はその長手方向両端部でのみベース基板10に支持されることになり、中央部は何も支持されていない状態となっている。このため、メモリ用基板21とベース基板10との線膨張係数や厚みの差に基づいてメモリ用基板21が反りやすくなる。この結果、例えば、メモリ用基板21が上向きに反った状態で上ケース30Aと下ケース31Aとの間に収納されると、図78に示すように、メモリ用基板21の中央部が上ケース30Aの内面に当接して、上ケース30Aの中央部に割れが生じる可能性がある。

【0221】これを防止するため、図122に示すよう

に、メモリ用基板 21 の長手方向の中央部とベース基板 10 との間にダミー基板 99 を配置して、メモリ用基板 21 とベース基板 10 との間の隙間を安定して一定に保持できるようにして、メモリ用基板 21 の反り防止、曲げ強度の信頼性の向上を図るようにしている。

【0222】ダミー基板 99 は、インターポーザ 90 又は 95 と同じ構造より構成してもよいが、導体層 97、又は、導体部 92 及び接続部 93 を備えずに、絶縁部 91 又は 96 のみから構成してもよい。ダミー基板 99 としては、メモリ用基板 21 とベース基板 10 との間の隙間を一定に保持できればよく、インターポーザ 90 又は 95 と同じ厚さを有するようにするのが好ましい。

【0223】図 123 に示すように、メモリ用基板 21 の長辺の中央部に 2 列の導体層 97、又は、導体部 92 及び接続部 93 を有するインターポーザ 90 又は 95 が配置されている場合には、上記ダミー基板 99 は、図 123 に示すように、メモリ用基板 21 の長辺の両端部に配置するのが好ましい。

【0224】また、上記ダミー基板 99 は、上記した棒状又は板状部材に限られるものではなく、図 125 に斜線部で示すように四角棒状のダミー部材 99A としてもよい。

【0225】また、上記ダミー基板 99 は、図 126 に斜線部で示すように、図 125 のダミー部材 99A の四角棒状の中央部に棒状支持部をさらに加えたダミー部材 99B としてもよい。

【0226】また、図 124 において、メモリ用基板 21 の長辺の両端部のダミー基板 99、99 の代わりに、図 127 及び図 128 に示すように、インターポーザ 90 又は 95 が配置されるようにしてもよい。すなわち、メモリ用基板 21 の長辺の中央部に 2 列の導体層 97、又は、導体部 92 及び接続部 93 を有するインターポーザ 90 又は 95 が配置されるとともに、メモリ用基板 21 の長辺の両端部にもインターポーザ 90 又は 95 が配置されるようにして、全てのインターポーザ 90 又は 95 の導体部分を使用して、各メモリチップ 15 と IC チップ 60 とのデータの読み書きを並列処理で行なうことにより、読み書き速度を高速化させることができる。

【0227】また、図 129 に示すように、メモリ用基板 21 の対向する一対の短辺端部の中央部を大略結ぶように長手方向沿いに延びるように、インターポーザ 90、95 を配置するようにしてもよい。このように配置すれば、インターポーザ 90、95 により、曲げテスト時の図 30 に示すように、メモリ用基板 21 が撓むのを効果的に減少させることができ、メモリ用基板 21 の機械的強度、曲げ強度、及びねじり強度を向上させることができる。

【0228】また、メモリ用基板 21 を複数層ベース基板 10 に実装するときも、図 129 のメモリ用基板 21 を積層すれば、インターポーザ 90、95 により、曲げ

テスト時の図 30 に示すように、複数層のメモリ用基板 21、21 が撓むのをそれぞれ効果的に減少させることができ、複数層のメモリ用基板 21、21 の機械的強度、曲げ強度、及びねじり強度を向上させることができ、小型メモ리카ード全体としての機械的強度、曲げ強度、及びねじり強度を向上させることができる。

【0229】さらに、図 130 に示すように、メモリ用基板 21 の対向する一対の短辺近傍に短辺沿いにインターポーザ 90、95 をそれぞれ配置するとともに、長手方向の中央部に短辺沿いにインターポーザ 90、95 を配置したメモリ用基板 21 を用意する。また、図 131 に示すように、メモリ用基板 21 の対向する一対の短辺近傍に短辺沿いにインターポーザ 90、95 をそれぞれ配置するとともに、短辺の中央部を大略結ぶように長手方向沿いに延びるインターポーザ 90、95 を配置するメモリ用基板 21 を用意する。この 2 種類のメモリ用基板 21 をベース基板 10 に積層するようにすれば、メモリ用基板 21 の中央部に長手方向沿い及び短辺沿いにそれぞれ支持体を配置することになり、インターポーザ 90、95 により、曲げテスト時の図 30 に示すように、メモリ用基板 21 が撓むのをそれぞれ効果的に減少させることができ、小型メモ리카ード全体としての機械的強度、曲げ強度、及びねじり強度を向上させることができる。

【0230】なお、この第 25 実施形態及びその変形例にかかるインターポーザ 90、95 など及びダミー基板 99 などは、第 25 実施形態及びその変形例に記載及び図示された例に限られるものではなく、本明細書に記載又は図示された他の実施形態やその変形例にも適宜適用できるものである。また、必要に応じて、他の実施形態やその変形例に記載された技術、例えば、導電性ボールや導電性ワイヤなどと適宜組み合わせることも可能である。

【0231】上記各実施形態において、ベース基板 10 の各貫通孔 10a、第 1 メモリ用基板 21 の各貫通孔 21a、及び、第 2 メモリ用基板 22 の各貫通孔 22a の配置は、各基板の長手方向沿いの長辺の近傍沿い、各基板の長手方向と直交する幅方向沿いの短辺の近傍沿い、又は、長辺及び短辺の近傍沿いの矩形など任意に配置することができる。

【0232】また、上記各実施形態において、ベース基板 10 の各貫通孔 10a、第 1 メモリ用基板 21 の各貫通孔 21a、及び、第 2 メモリ用基板 22 の各貫通孔 22a に対して半田を供給する方法は、ディスペンサ又は印刷のいずれでも良いとともに、その他の方法でもよい（図示せず）。

【0233】また、上記各実施形態において、クリーム半田 12 の代わりに、導電性接着剤を使用するようにしてもよい。この導電性接着剤にはフィラーを入れるようにしてもよい。通常、クリーム半田 12 を溶融して硬化

させるときには250℃まで加熱する必要があるが、導電性接着剤を使用する場合には150℃で十分な場合があり、このような場合には、加熱する温度が半田の場合より低くすることができ、各基板での反りを少なくすることができる。

【0234】また、上記各実施形態において、導電性ワイヤと導電性ボールとを組み合わせ使用するようにしてもよい。また、これらに代えて、又は、これらのいずれか又は両方とともに、半田又は銅などの柱状の導電性部材を使用するようにしてもよい（図示せず）。

【0235】また、上記各実施形態において、各基板の上下いずれかの面において複数のメモリチップ15を実装するとき、複数のメモリチップ15間に、基板間隔保持用又は補強用として、電極には接触しない部分に、絶縁性又は導電性ワイヤ、絶縁性又は導電性柱、絶縁性又は導電性ボールを配置するようにしてもよい（図示せず）。

【0236】上記各実施形態において、導電性ワイヤ11に代えて、導電性ボール71や導体や上記直方体のチップ電子部品80を使用することができる。

【0237】また、上記実施形態において、フィルム基板を使用するとき、フィルム基板の材質としてはポリイミドなどが使用できるが、厚さ0.1mm程度の単層のガラスエポキシ樹脂製の基板とすることもできる。

【0238】なお、上記様々な実施形態のうちの任意の実施形態を適宜組み合わせることにより、それぞれの有する効果を奏するようにすることができる。

【0239】

【発明の効果】本発明によれば、メモリ用基板に複数のメモリチップが実装されて構成されるメモリモジュールをベース基板の一方の面に実装するようにしたので、ベース基板の上に、両面にメモリチップを実装可能なメモリ用基板を狭い間隔で小スペース内に配置することができ、ベース基板のいずれか一方の面にメモリチップを実装する場合と比較して、メモリチップの実装可能な面積は、メモリ用基板の表裏両面の2倍にメモリ容量を増加させることができる。

【0240】さらに、導電性ボールを個別に供給する手間及び時間が不要となり、複数の電極に対して例えば1つのインターポーザを配置するだけでよく、実装手間及び時間を大幅に削減することができる。また、電極間のピッチがより狭いピッチ、例えば、0.3mm以下となっても、インターポーザの隣接導体部間の間隔を電極間のピッチに対応して小さくすればよく、例えば電極上に配置したクリーム半田が大きく外側に流れ出すことがなく、基板接合時にクリーム半田同士が接触するといった短絡を防止することができる。

【0241】また、各基板間の電極を導電性ワイヤにより接続することにより、電極間での接続強度を向上させることができる。

【0242】また、各メモリチップを各基板に対してアウターリード無しに直接実装すなわちフリップチップ実装するため、言い換えれば、各メモリチップの各電極と各基板の各電極とをバンプなどを介して直接的に接合するため、各メモリチップの外側にアウターリードを引き出して各基板に接合するスペースや手間を省くことができ、小スペース化、工程の短縮化を図ることができる。

【0243】また、メモリ用基板の表裏両面に全く同一位置に同一サイズ及び厚みの複数のメモリチップを実装することができるため、メモリ用基板に熱的又は機械的応力が作用したとき、例えば、封止樹脂の硬化収縮などにより基板が片側に反ることが防止できる。また、上記メモリ用基板には、上記複数のメモリチップが上記メモリ用基板の長手方向の中心に対して対称に配置することができ、メモリ用基板全体として、応力の偏った分布を防止することができる。

【0244】また、メモリチップが実装されたメモリモジュールをベース基板とは別部品として別個に構成することができ、バーンイン時にメモリチップが不良と判断された場合には、そのメモリモジュールのみを廃棄すればよく、ICチップが実装されたベース基板まで廃棄する必要がなくなる。

【0245】上記小型メモ리카ードの製造方法によれば、メモリモジュールが複数個ある場合、メモリモジュールをベース基板モジュールに実装する前に、予めメモリモジュール同士を実装してバーンイン試験などによりメモリモジュール全体としての機能を検査することができ、不良の場合には、メモリモジュールのみを廃棄すればよく、メモリモジュールに比較して高価なベース基板モジュールを廃棄する必要がなくなり、コストダウンを図ることができる。

【0246】ベース基板とメモリ用基板との間に導電性ボールを介在させることにより、各基板の間隔を容易に均等にすることができ、各基板を大略平行に配置することができる。また、導電性ボールを銅などの半田よりも融点が高い材料より構成すれば、後工程でリフローやエアブローにより半田を溶解するときでも導電性ボールが溶融せず、基板間隔を導電性ボールにより確実に確保することができ、高い精度で基板間の平行度を保持することができる。よって、また、基板間が導電性ボールで支持されるため、機械的な応力が作用しても導電性ボールは容易に変形しない。従って、熱的な応力及び機械的な応力に抗して、基板間の平行度を確実に保持することができるとともに、隣接する導電性ボールとの接触も防止することができてショートを防止できる。さらに、導電性ボールの直径を小さくすることにより、より狭いピッチでの配置が可能となり、配線の自由度が増し、各メモリチップへの個別配線が可能となり、メモリチップとICチップ間での処理速度の向上を図ることができる。

## 【図面の簡単な説明】

【図1】 本発明の一実施形態にかかる小型メモリカードのケースを除いた状態での概略斜視図である。なお、一部の導体を取り除いて、電極などを理解しやすくしている。

【図2】 図1の小型メモリカードの側面図である。

【図3】 図1の小型メモリカードの完成状態での一部断面側面図である。ただし、理解しやすくするため、メモリチップと基板との接続部分及びケースを断面で示す。

【図4】 (A), (B), (C)はそれぞれ図1の小型メモリカードの製造方法において、ベース基板モジュール、第1メモリモジュール、及び、第2メモリモジュールを製造する工程の一部断面の説明図である。

【図5】 (A), (B), (C), (D)はそれぞれ図1の小型メモリカードの製造方法において、ベース基板モジュール、第1メモリモジュール、及び、第2メモリモジュールにクリーム半田を塗布する工程の一部断面の説明図、第1メモリモジュールと第2メモリモジュールとを仮固定する工程の一部断面の説明図である。

【図6】 (A), (B), (C)はそれぞれ図1の小型メモリカードの製造方法において、仮固定された第1メモリモジュールと第2メモリモジュールをベース基板モジュールに仮固定する工程、さらに、モジュール間の電極同士を導電性ワイヤで個別に接続する工程、モジュール間の電極同士を導体の別の例としての連続した導電性ワイヤで接続する工程の一部断面の説明図である。

【図7】 本発明の第2実施形態にかかる小型メモリカードの完成状態での一部断面側面図である。ただし、理解しやすくするため、メモリチップと基板との接続部分及びケースを断面で示す。

【図8】 (A), (B), (C)はそれぞれ図7の小型メモリカードの製造方法において、ベース基板モジュールにクリーム半田を印刷供給する工程、ベース基板モジュールの各クリーム半田電極上に導電性ボールを1個ずつ供給する工程、第1メモリモジュールにクリーム半田を塗布する工程の一部断面の説明図である。

【図9】 (A), (B)はそれぞれ図7の小型メモリカードの製造方法において、ベース基板モジュールの各クリーム半田電極上の導電性ボールを介してベース基板モジュール上に第1メモリモジュールを実装する工程、第2メモリモジュールにクリーム半田を塗布する工程の一部断面の説明図である。

【図10】 (A), (B)はそれぞれ図7の小型メモリカードの製造方法において、ベース基板モジュール上の第1メモリモジュールの各クリーム半田電極上に導電性ボールを1個ずつ供給する工程、第1メモリモジュールの各クリーム半田電極上の導電性ボールを介して第1メモリモジュール上に第2メモリモジュールを実装する工程の一部断面の説明図である。

【図11】 本発明の第3実施形態にかかる小型メモリカードの一部断面側面図である。

【図12】 本発明の第4実施形態にかかる小型メモリカードの一部断面側面図である。

【図13】 本発明の第5実施形態にかかる小型メモリカードの一部断面側面図である。

【図14】 本発明の第6実施形態にかかる小型メモリカードの一部断面側面図である。

【図15】 本発明の第7実施形態にかかる小型メモリカードの一部断面側面図である。

【図16】 本発明の第8実施形態にかかる小型メモリカードの一部断面側面図である。

【図17】 本発明の第9実施形態にかかる小型メモリカードの一部断面側面図である。

【図18】 本発明の第10実施形態にかかる小型メモリカードの一部断面側面図である。

【図19】 本発明の第11実施形態にかかる小型メモリカードの一部断面側面図である。

【図20】 本発明の第12実施形態にかかる小型メモリカードの一部断面側面図である。

【図21】 本発明の第13実施形態にかかる小型メモリカードの一部断面側面図である。

【図22】 本発明の第14実施形態にかかる小型メモリカードの一部断面側面図である。

【図23】 本発明の各実施形態にかかる小型メモリカードの基本となる小型メモリカードの分解斜視図である。

【図24】 図23の小型メモリカードの一部断面側面図である。

【図25】 図23の小型メモリカードの底面図である。

【図26】 本発明の第15実施形態にかかる小型メモリカードの概略側面図である。

【図27】 本発明の第16実施形態にかかる小型メモリカードのケースを除いた状態での概略側面図である。

【図28】 メモリ用基板の長辺沿いに電極が配置された比較例の概略平面図である。

【図29】 (A), (B)は、それぞれ、メモリ用基板の長辺沿いにメモリチップの長手方向が配置されている比較例であって、メモリチップに割れが発生している状態を示す概略平面図、及び、メモリチップの電極とメモリ用基板の電極とを接合する半田接合部に応力が集中してクラックが発生している状態を示す概略側面図である。

【図30】 曲げテストの説明図である。

【図31】 ねじりテストの説明図である。

【図32】 上記第16実施形態の変形例のメモリ用基板の概略平面図である。

【図33】 上記第16実施形態の別の変形例のメモリ用基板の概略平面図である。

【図 34】 本発明の第 17 実施形態にかかる小型メモリカードの上側のメモリ用基板の概略側面図である。

【図 35】 本発明の第 17 実施形態にかかる小型メモリカードのケースを除いた状態での小型メモリカードの概略側面図である。

【図 36】 本発明の第 18 実施形態にかかる、ケースを除いた状態での小型メモリカードの下側の 2 層のメモリ用基板の概略側面図である。

【図 37】 本発明の第 18 実施形態にかかる、ケースを除いた状態での小型メモリカードの下側の 2 層のメモリ用基板をベース基板に実装した状態の概略側面図である。

【図 38】 本発明の第 18 実施形態にかかる、ケースを除いた状態での小型メモリカードの概略側面図であって、ベース基板に実装された下側の 2 層のメモリ用基板にさらに最上層のメモリ用基板を実装した状態の概略側面図である。

【図 39】 本発明の第 19 実施形態にかかる、ケースを除いた状態での小型メモリカードの概略側面図である。

【図 40】 本発明の第 20 実施形態にかかる、ケースを除いた状態での小型メモリカードに対して塗布ノズルにより絶縁性の補強樹脂を塗布する状態を示す概略側面図である。

【図 41】 本発明の第 20 実施形態にかかる、ケースを除いた状態での小型メモリカードの概略側面図である。

【図 42】 本発明の第 20 実施形態にかかる、ケースを除いた状態での小型メモリカードの概略側面図である。

【図 43】 上記第 20 実施形態の第 1 変形例のメモリ用基板の概略平面図である。

【図 44】 上記第 20 実施形態の第 1 変形例の小型メモリカードの一部断面の概略側面図である。

【図 45】 上記第 20 実施形態の第 2 変形例の小型メモリカードの一部断面の概略側面図である。

【図 46】 上記第 20 実施形態の第 3 変形例の小型メモリカードの一部断面の概略側面図である。

【図 47】 上記第 20 実施形態の第 4 変形例の小型メモリカードの一部断面の概略側面図である。

【図 48】 上記第 20 実施形態の第 5 変形例の小型メモリカードの一部断面の概略側面図である。

【図 49】 上記第 20 実施形態の第 6 変形例の小型メモリカードの一部断面の概略側面図である。

【図 50】 上記第 20 実施形態の第 7 変形例の小型メモリカードの一部断面の概略側面図である。

【図 51】 上記第 20 実施形態の第 8 変形例の小型メモリカードの一部断面の概略側面図である。

【図 52】 上記第 20 実施形態の第 9 変形例の小型メモリカードの一部断面の概略側面図である。

【図 53】 上記第 20 実施形態の第 10 変形例の小型メモリカードの一部断面の概略側面図である。

【図 54】 上記第 20 実施形態の第 11 変形例の小型メモリカードの一部断面の概略側面図である。

【図 55】 上記第 20 実施形態の第 12 変形例の小型メモリカードの一部断面の概略側面図である。

【図 56】 上記第 20 実施形態の第 13 変形例の小型メモリカードの一部断面の概略側面図である。

【図 57】 上記第 20 実施形態の第 14 変形例の小型メモリカードの一部断面の概略側面図である。

【図 58】 上記第 20 実施形態の第 15 変形例の小型メモリカードの一部断面の概略側面図である。

【図 59】 上記第 20 実施形態の第 16 変形例の小型メモリカードの概略平面図である。

【図 60】 上記第 20 実施形態の第 16 変形例の小型メモリカードの一部断面の概略側面図である。

【図 61】 上記第 16 実施形態の長方形の小型メモリカード用の長方形のメモリ用基板の斜視図である。

【図 62】 図 61 のメモリ用基板に長方形のメモリチップが 2 枚実装された状態の斜視図である。

【図 63】 本発明の第 20 実施形態の第 17 変形例にかかる小型メモリカードのメモリ用基板の概略平面図である。

【図 64】 本発明の第 20 実施形態の第 17 変形例にかかる小型メモリカードの一部断面の概略側面図である。

【図 65】 本発明の第 20 実施形態の第 18 変形例にかかる小型メモリカードの一部断面の概略側面図である。

【図 66】 本発明の第 20 実施形態の第 19 変形例にかかる小型メモリカードの一部断面の概略側面図である。

【図 67】 本発明の第 20 実施形態の第 20 変形例にかかる小型メモリカードの一部断面の概略側面図である。

【図 68】 本発明の第 21 実施形態にかかる小型メモリカードを説明するための課題の説明図である。

【図 69】 本発明の第 21 実施形態にかかる小型メモリカードのメモリ用基板の概略側面図である。

【図 70】 本発明の第 21 実施形態にかかる小型メモリカードのメモリ用基板の一方の面にメモリチップを実装した状態の概略側面図である。

【図 71】 本発明の第 21 実施形態にかかる小型メモリカードのメモリ用基板の表裏両面にメモリチップをそれぞれ実装した状態の概略側面図である。

【図 72】 本発明の第 21 実施形態にかかる小型メモリカードのメモリ用基板の一方の面にメモリチップを実装したのち封止樹脂で電極接合部分を封止した状態の一部断面の概略側面図である。

【図 73】 図 72 に次いで、小型メモリカードのメモ

り用基板の他方の面にメモリチップを実装する状態の一部断面の概略側面図である。

【図 74】 図 73 に次いで、小型メモリカードのメモリ用基板の他方の面にメモリチップを実装する状態の一部断面の概略側面図である。

【図 75】 図 74 の工程を経て製造された、小型メモリカードのメモリ用基板の一部断面の概略側面図である。

【図 76】 図 73 及び図 74 とは別の方法により、小型メモリカードのメモリ用基板の両方の面にメモリチップをそれぞれ実装する状態の概略側面図である。

【図 77】 本発明の第 2 実施形態にかかる小型メモリカードの課題を説明するためのケース収納前のメモリ用基板が反った状態を示す説明図である。

【図 78】 本発明の第 2 実施形態にかかる小型メモリカードの課題を説明するためのケース収納後のメモリ用基板が反った状態を示す説明図である。

【図 79】 本発明の第 2 実施形態にかかる小型メモリカードを説明するためのケース収納前の 1 層のメモリ用基板とベース基板との隙間が一定に保持された状態を示す説明図である。

【図 80】 本発明の第 2 実施形態にかかる小型メモリカードを説明するためのケース収納後の 1 層のメモリ用基板とベース基板との隙間が一定に保持された状態を示す説明図である。

【図 81】 本発明の第 2 実施形態にかかる小型メモリカードを説明するためのケース収納前の 2 層のメモリ用基板間の隙間及び下側のメモリ用基板とベース基板との隙間がそれぞれ一定に保持された状態を示す説明図である。

【図 82】 本発明の第 2 実施形態にかかる小型メモリカードを説明するためのケース収納後の 2 層のメモリ用基板間の隙間及び下側のメモリ用基板とベース基板との隙間がそれぞれ一定に保持された状態を示す説明図である。

【図 83】 メモリ用基板のレジストの突出量がメモリチップ接合用電極の突出量より大きくなっている状態を示す一部断面側面図である。

【図 84】 本発明の第 2 実施形態にかかる小型メモリカードのメモリ用基板を示す一部断面側面図である。

【図 85】 本発明の第 2 実施形態の変形例にかかる小型メモリカードのメモリ用基板を示す一部断面側面図である。

【図 86】 本発明の第 1 実施形態にかかる小型メモリカードのケースを除いた状態での分解斜視図である。

【図 87】 図 86 の小型メモリカードのケースを除いた状態での側面図である。

【図 88】 本発明の上記実施形態において、突起電極を利用しない小型メモリカードの製造方法の工程を示す説明図である。

【図 89】 図 88 に続く、本発明の上記実施形態において、突起電極を利用しない小型メモリカードの製造方法の工程を示す説明図である。

【図 90】 図 89 に続く、本発明の上記実施形態において、突起電極を利用しない小型メモリカードの製造方法の工程を示す説明図である。

【図 91】 図 90 に続く、本発明の上記実施形態において、突起電極を利用しない小型メモリカードの製造方法の工程を示す説明図である。

【図 92】 図 91 に続く、本発明の上記実施形態において、突起電極を利用しない小型メモリカードの製造方法の工程を示す説明図である。

【図 93】 図 92 に続く、本発明の上記実施形態において、突起電極を利用しない小型メモリカードの製造方法の工程を示す説明図である。

【図 94】 図 93 に続く、本発明の上記実施形態において、突起電極を利用しない小型メモリカードの製造方法の工程を示す説明図である。

【図 95】 本発明の第 2 実施形態にかかる小型メモリカードの分解斜視図である。

【図 96】 本発明の第 2 実施形態にかかる小型メモリカードの製造方法の工程を示す説明図である。

【図 97】 図 96 に続く、本発明の第 2 実施形態にかかる小型メモリカードの製造方法の工程を示す説明図である。

【図 98】 図 97 に続く、本発明の第 2 実施形態にかかる小型メモリカードの製造方法の工程を示す説明図である。

【図 99】 図 98 に続く、本発明の第 2 実施形態にかかる小型メモリカードの製造方法の工程を示す説明図である。

【図 100】 図 99 に続く、本発明の第 2 実施形態にかかる小型メモリカードの製造方法の工程を示す説明図である。

【図 101】 本発明の第 2 実施形態にかかる小型メモリカードの分解斜視図である。

【図 102】 本発明の第 2 実施形態にかかる小型メモリカードのインターポーザの斜視図である。

【図 103】 本発明の第 2 実施形態にかかる小型メモリカードの製造方法の工程を示す説明図である。

【図 104】 図 103 に続く、本発明の第 2 実施形態にかかる小型メモリカードの製造方法の工程を示す説明図である。

【図 105】 図 104 に続く、本発明の第 2 実施形態にかかる小型メモリカードの製造方法の工程を示す説明図である。

【図 106】 図 105 に続く、本発明の第 2 実施形態にかかる小型メモリカードの製造方法の工程を示す説明図である。

【図 107】 図 106 に続く、本発明の第 2 実施形

態にかかる小型メモリカードの製造方法の工程を示す説明図である。

【図108】 図107に続く、本発明の第25実施形態にかかる小型メモリカードの製造方法の工程を示す説明図である。

【図109】 図108に続く、本発明の第25実施形態にかかる小型メモリカードの製造方法の工程を示す説明図である。

【図110】 本発明の第25実施形態にかかる小型メモリカードの電極接合部分の拡大図である。

【図111】 本発明の第25実施形態の変形例にかかる小型メモリカードの分解斜視図である。

【図112】 本発明の第25実施形態の変形例にかかる小型メモリカードのインターポーザの斜視図である。

【図113】 本発明の第25実施形態の変形例にかかる小型メモリカードの製造方法の工程を示す説明図である。

【図114】 図113に続く、本発明の第25実施形態の変形例にかかる小型メモリカードの製造方法の工程を示す説明図である。

【図115】 図114に続く、本発明の第25実施形態の変形例にかかる小型メモリカードの製造方法の工程を示す説明図である。

【図116】 図115に続く、本発明の第25実施形態の変形例にかかる小型メモリカードの製造方法の工程を示す説明図である。

【図117】 図116に続く、本発明の第25実施形態の変形例にかかる小型メモリカードの製造方法の工程を示す説明図である。

【図118】 本発明の第25実施形態の変形例にかかる小型メモリカードの電極接合部分の拡大図である。

【図119】 本発明の第25実施形態の変形例にかかる小型メモリカードのインターポーザとメモリ用基板の電極上のクリーム半田とを接合する前の状態を示す部分拡大断面図である。

【図120】 本発明の第25実施形態の変形例にかかる小型メモリカードのインターポーザをメモリ用基板の電極上のクリーム半田に載置した状態を示す部分拡大断面図である。

【図121】 本発明の第25実施形態及びその変形例にかかる小型メモリカードのメモリ用基板の平面図である。

【図122】 本発明の第25実施形態の変形例にかかる小型メモリカードのメモリ用基板の平面図である。

【図123】 本発明の第25実施形態の変形例にかかる小型メモリカードのメモリ用基板の平面図である。

【図124】 本発明の第25実施形態の変形例にかかる小型メモリカードのメモリ用基板の平面図である。

【図125】 本発明の第25実施形態の変形例にかかる小型メモリカードのメモリ用基板の平面図である。

【図126】 本発明の第25実施形態の変形例にかかる小型メモリカードのメモリ用基板の平面図である。

【図127】 本発明の第25実施形態の変形例にかかる小型メモリカードのメモリ用基板の平面図である。

【図128】 本発明の第25実施形態の変形例にかかる小型メモリカードのケースを除く側面図である。

【図129】 本発明の第25実施形態の変形例にかかる小型メモリカードのメモリ用基板の平面図である。

【図130】 本発明の第25実施形態の変形例にかかる小型メモリカードのメモリ用基板の平面図である。

【図131】 本発明の第25実施形態の変形例にかかる小型メモリカードのメモリ用基板の平面図である。

【図132】 本発明の第7実施形態の変形例にかかる小型メモリカードの一部断面側面図である。

【図133】 本発明の第11実施形態の変形例にかかる小型メモリカードの一部断面側面図である。

【符号の説明】

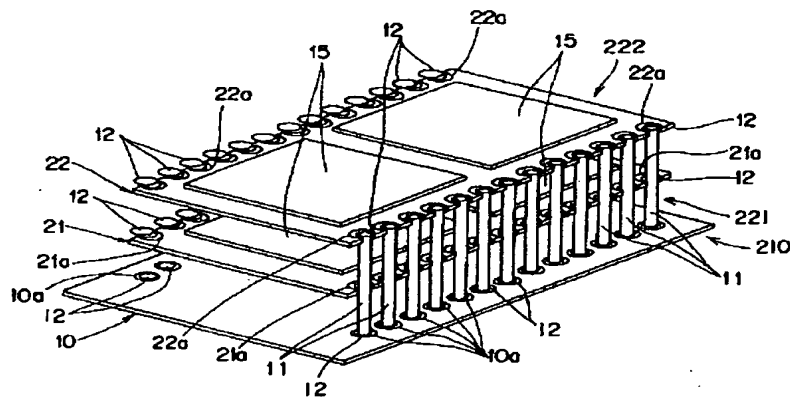
10…ベース基板、10a…貫通孔、10d…電極、10x…電極、10z…位置決め孔、11…導電性ワイヤ、11p…接合部、11t…突起電極、11x…半田部、12…クリーム半田、13…ASIC用ICチップ、14…マイクロプロセッサ用ICチップ、15…メモリチップ、15p…電極、15x…短辺、15y…長辺、16…カード電極、18…チップコンデンサ、19…チップ抵抗、21、21C…第1メモリ用基板、21A、21B…第1分割メモリ用基板、21a…貫通孔、21d…電極、21e…メモリチップ実装予定領域、21x…短辺、21y…長辺、21z…位置決め孔、22、22A…第2メモリ用基板、22a…貫通孔、22d…電極、22e…メモリチップ実装予定領域、22z…位置決め孔、24…第4メモリ用基板、30A…上ケース、31A…下ケース、41…電極、44…絶縁性の補強部、44a…一端部補強部、44b…幅広の補強部、44c…最上層補強部、44d…メモリ用基板補強部、44e…第2メモリ用基板補強部、44f…棒状のメモリ用基板補強部、44g…層状の最上層補強部、44i…層状の第3メモリ用基板補強部、44j…層状の第4メモリ用基板補強部、44k…棒状のメモリ用基板補強部、44n…細長の補強部、50…塗布ノズル、51…ディスペンサ、52…仮固定用接着剤、53…導電性ワイヤ、54…ステンシル、54a…クリーム半田挿入孔、55…スキージ、56…導電性ボール挿入用板、56a…導電性ボール挿入穴、57…スキージ、58…導電性ボール挿入用板、58a…導電性ボール挿入穴、59…スキージ、60…ICチップ、61…追加のメモリモジュール、62…柱状の導電体、63…フィルム基板、63a…リード端子、63b…枠部、65…フィルム基板、66…導電体、67…導電シート、67a…導電ピン、68…導電体、70…第3メモリ用基板、71、71A…導電性ボール、75…半田、78…RF用



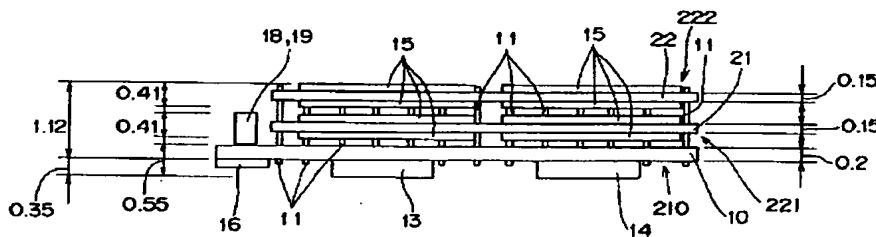
61

LSIチップ、79…ベースバンドLSIチップ、80…チップ部品、80a、80b…電極、81…フレキシブル基板、90、95…インターポーザ、91…絶縁部、92…円板状の導体部、93…円柱状の接続部、96…絶縁部、96a…貫通孔、97…導体層、97a、97c…円環状の導体部、97b…円筒状導体部、99…ダミー基板110…基板、113…ASIC用ICチップ、114…マイクロプロセッサ用ICチップ、11\*

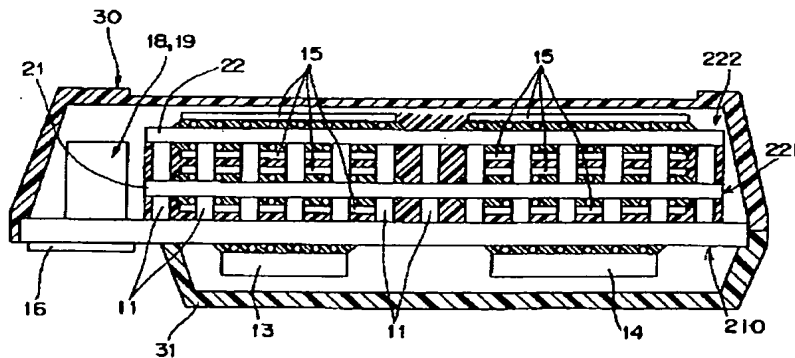
【図1】



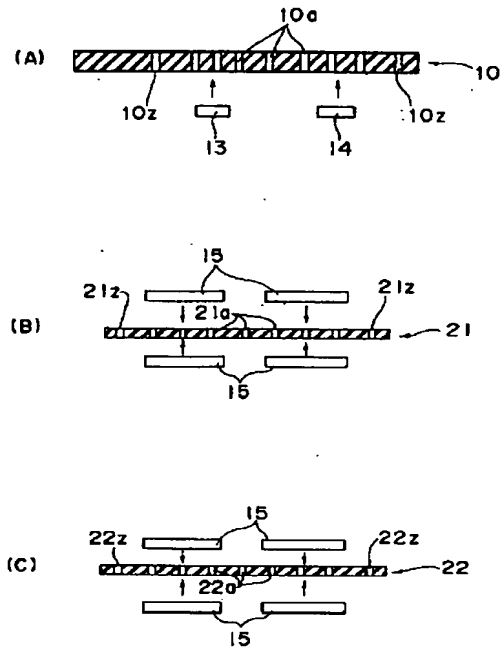
【図2】



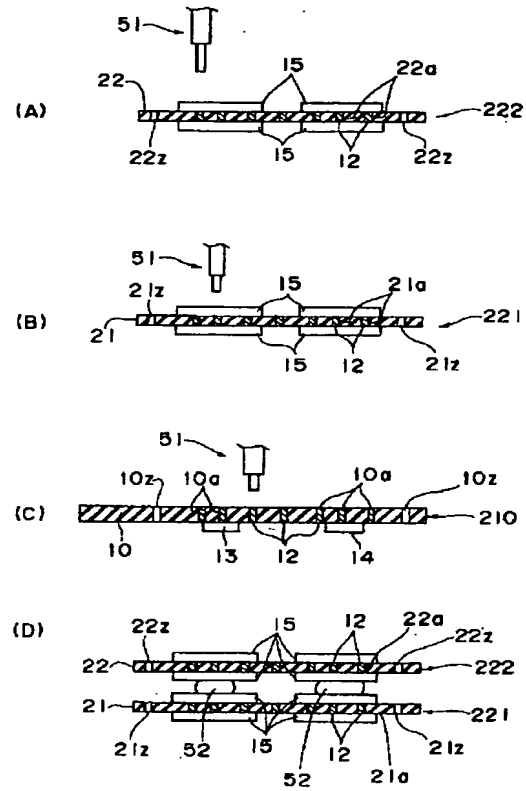
【図3】



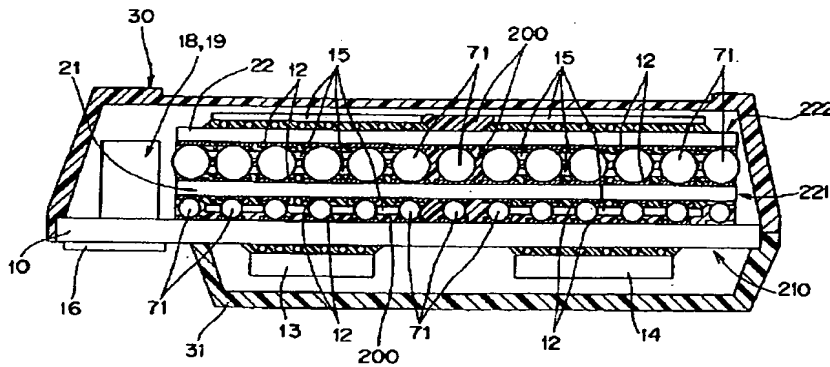
【図4】



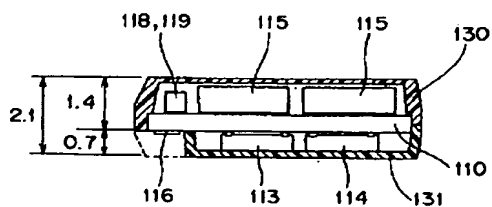
【図5】



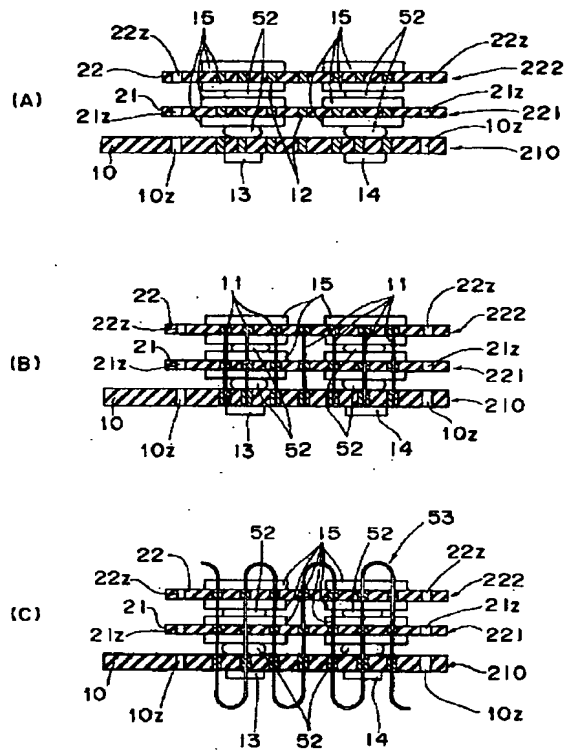
【図7】



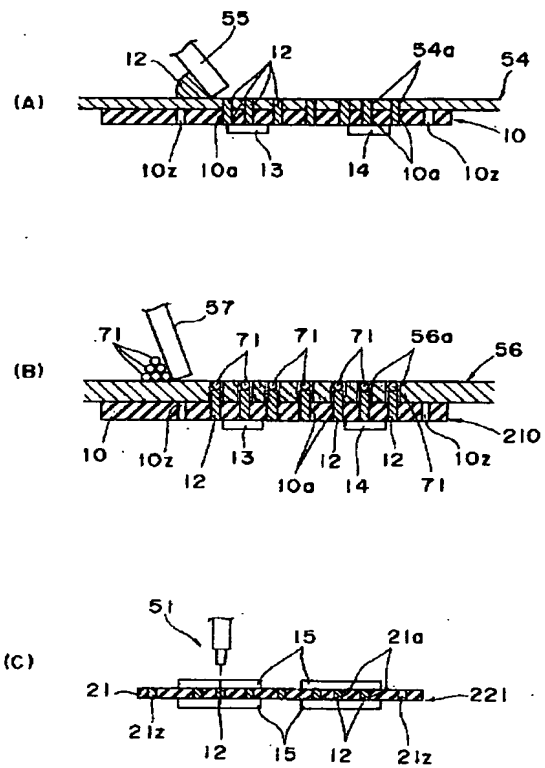
【図24】



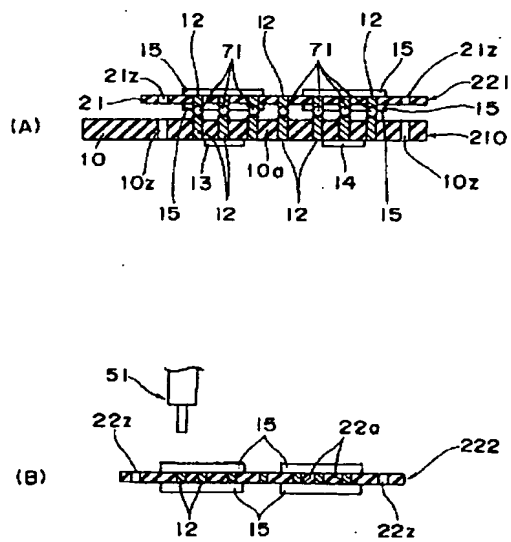
【図6】



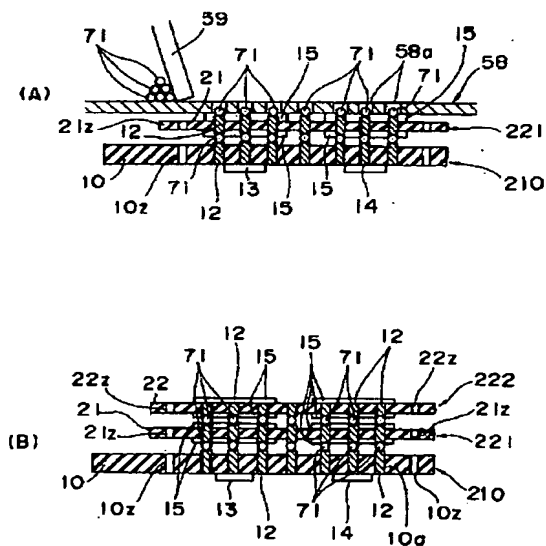
【図8】



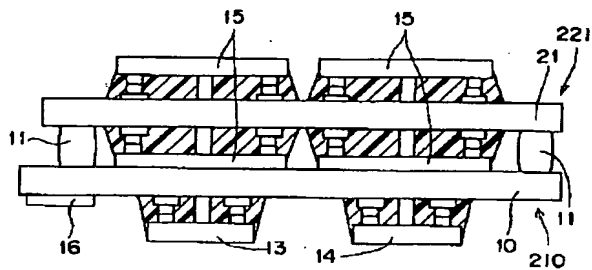
【図9】



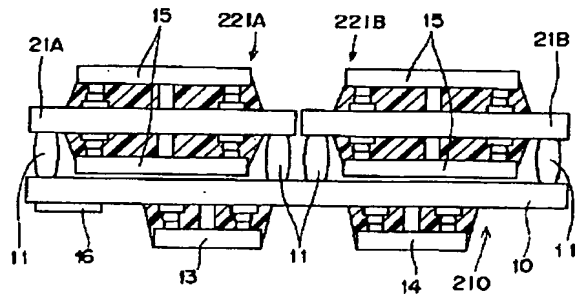
【図10】



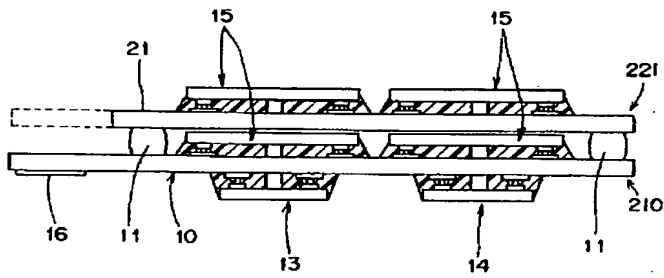
【圖 1 1】



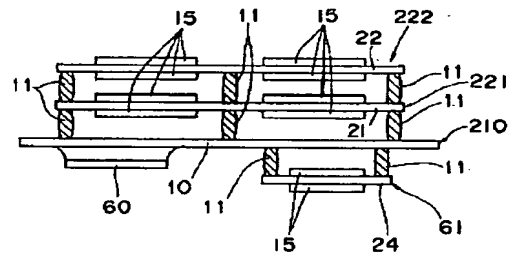
【圖 12】



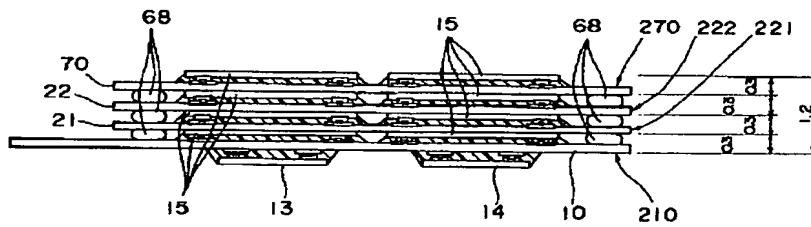
【圖 13】



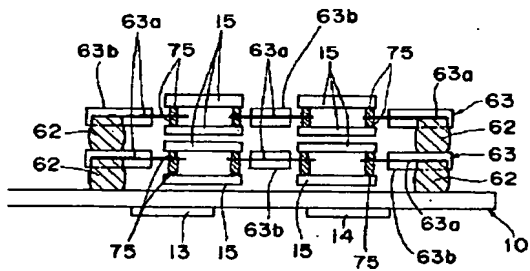
【図 15】



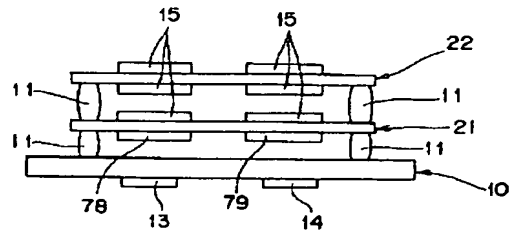
【圖 14】



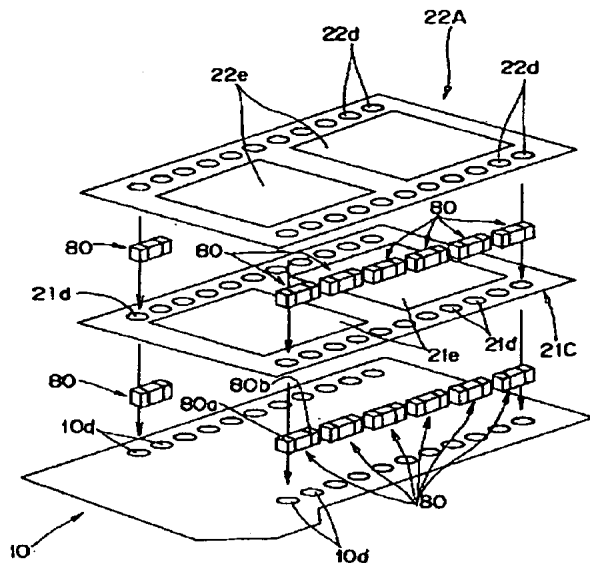
【图 16】



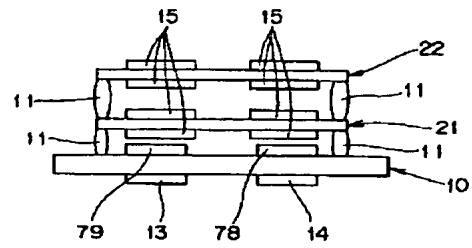
【圖 21】



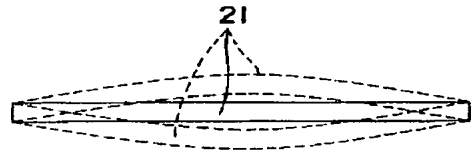
【図20】



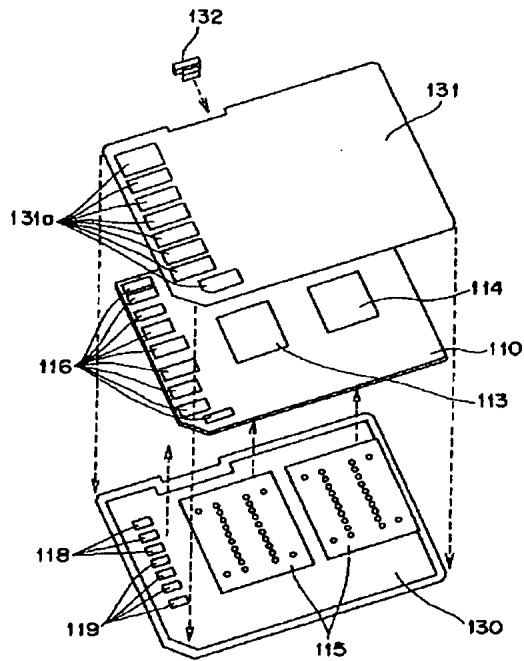
【図22】



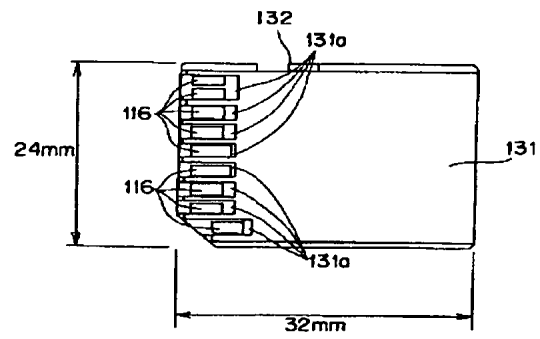
【図30】



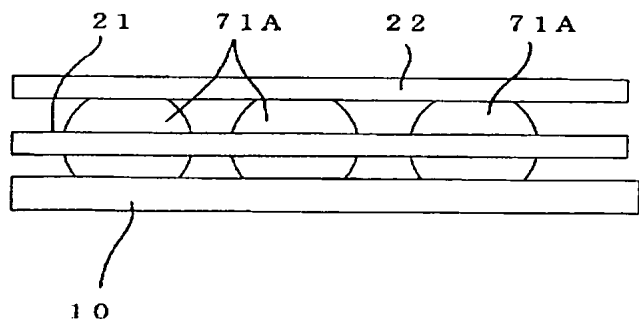
【図23】



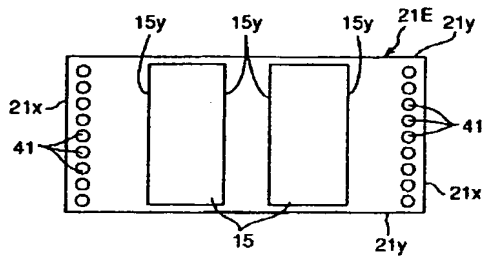
【図25】



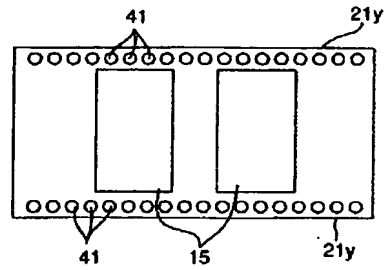
【図26】



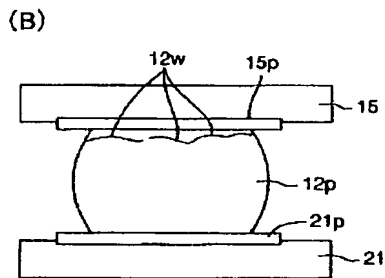
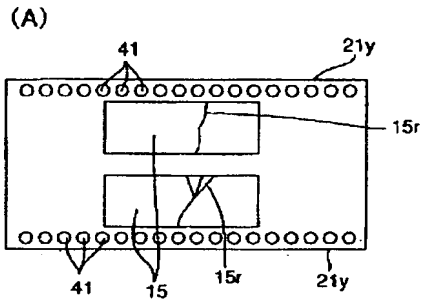
【図27】



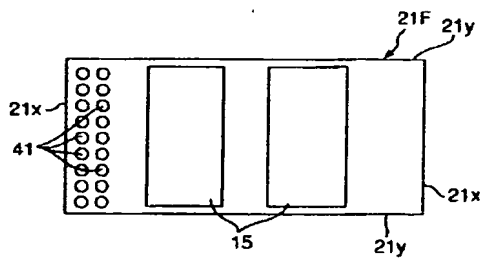
【図28】



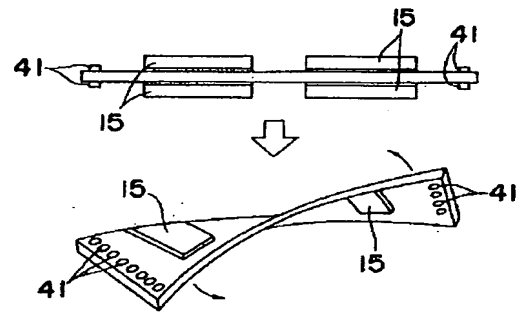
【図29】



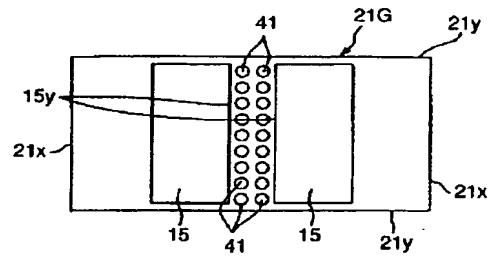
【図32】



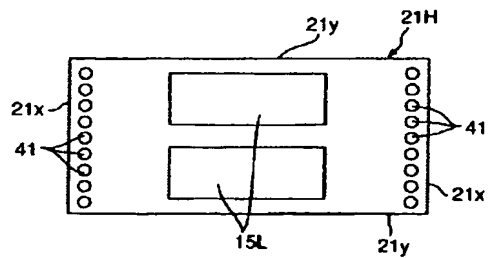
【図31】



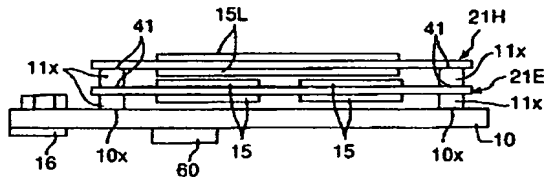
【図33】



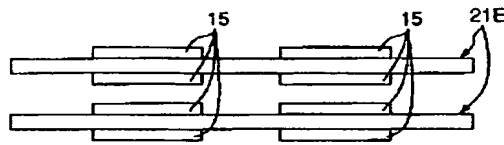
【図34】



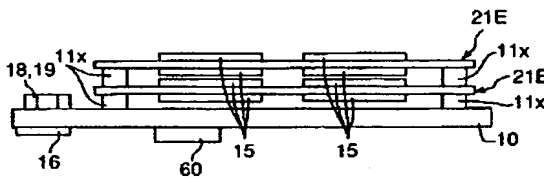
【図35】



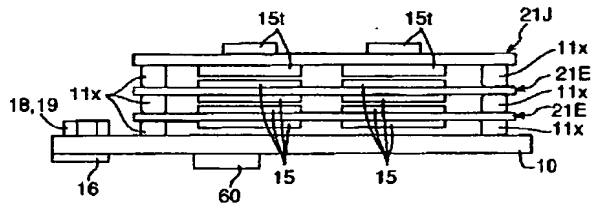
【図36】



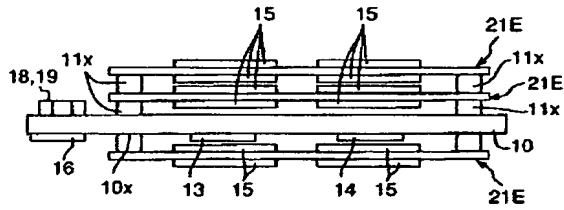
【図37】



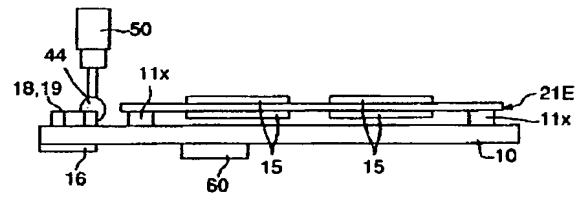
【図38】



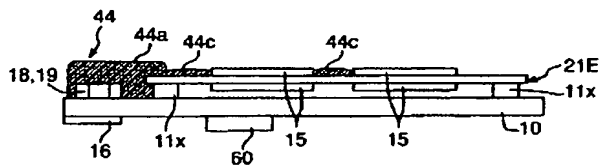
【図39】



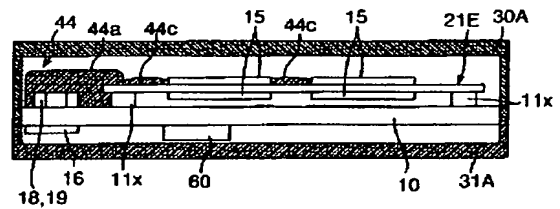
【図40】



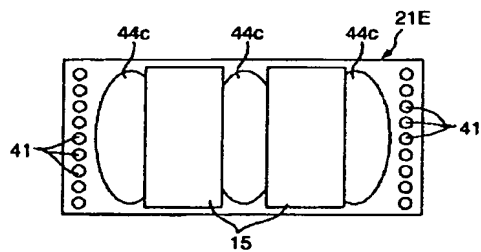
【図41】



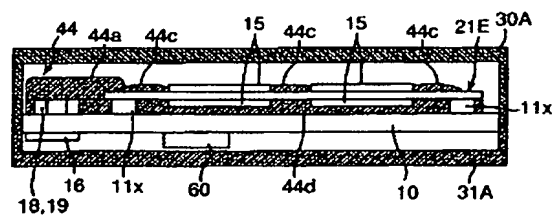
【図42】



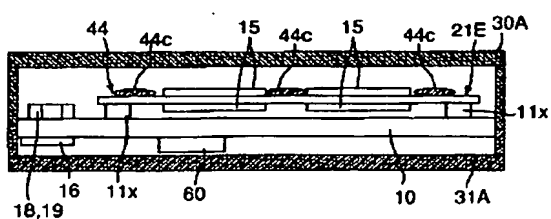
【図43】



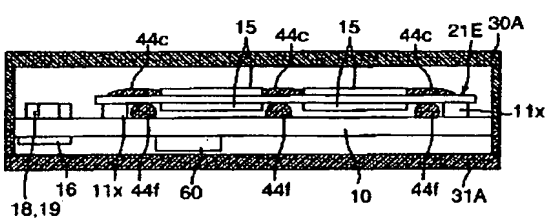
【図44】



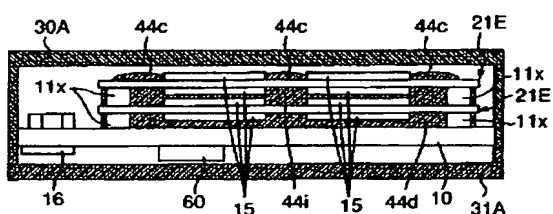
【图 4 6】



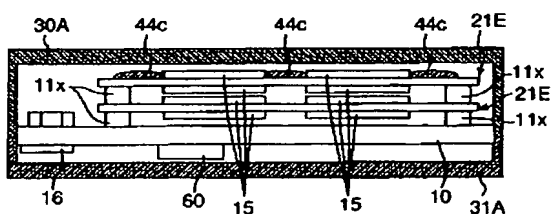
【図48】



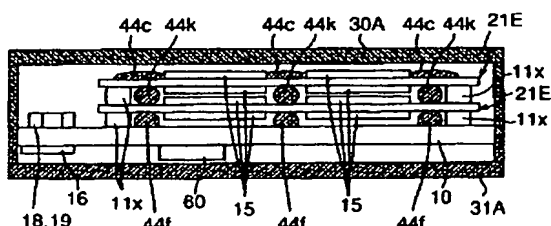
【図50】



【圖 5 2】

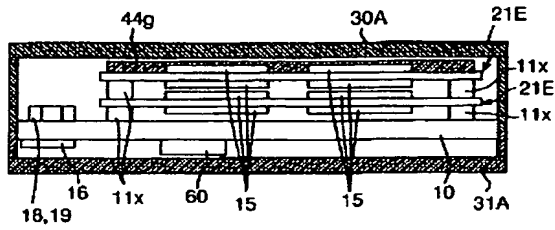


【圖 5 4】

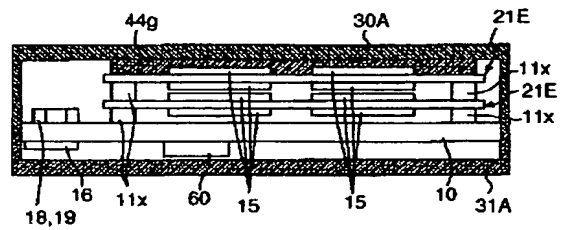




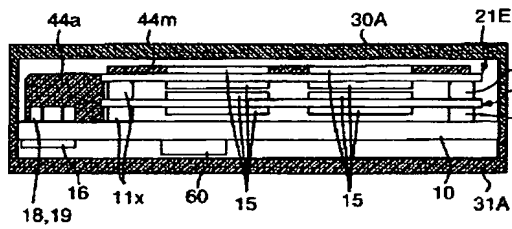
【図55】



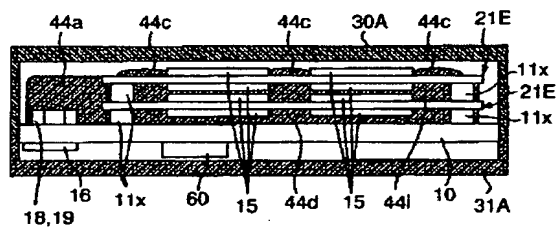
【図56】



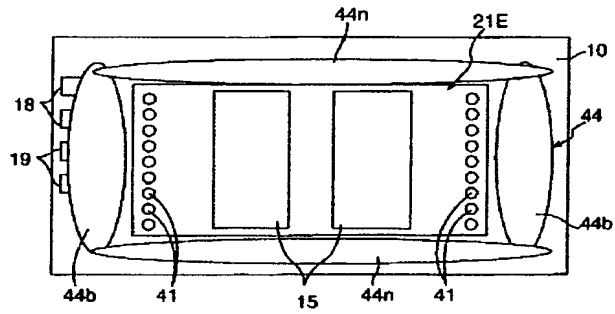
【圖57】



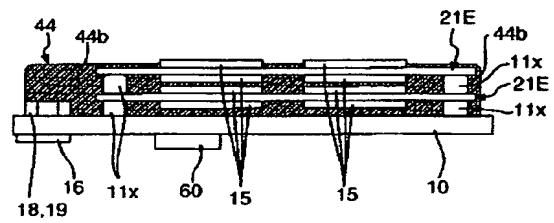
【图58】



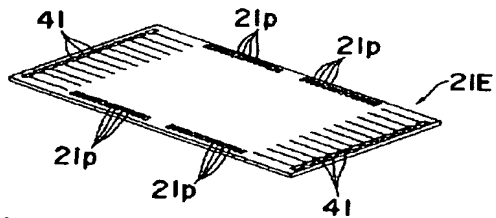
【図59】



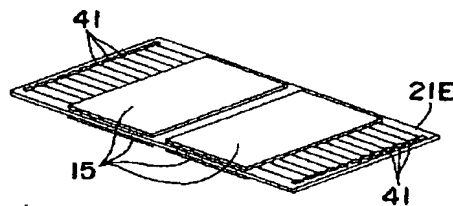
【図60】



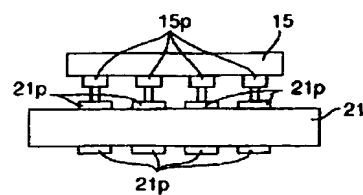
【図 6 1】



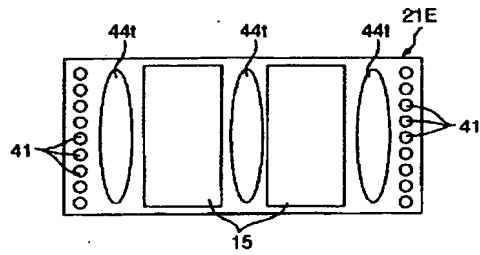
【圖 62】



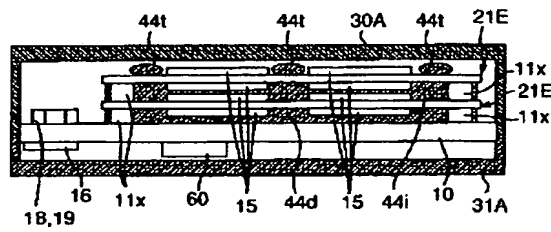
【圖 70】



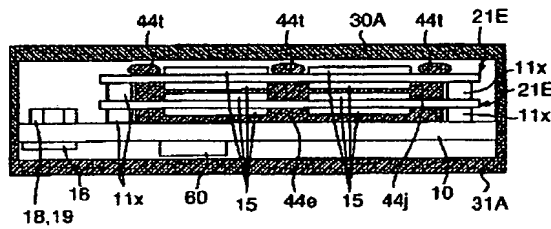
【図63】



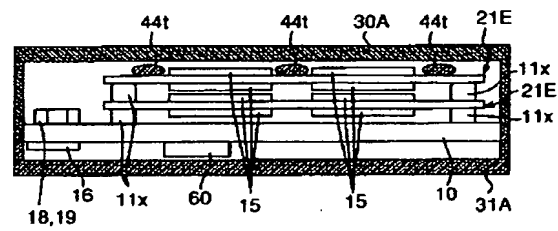
【図64】



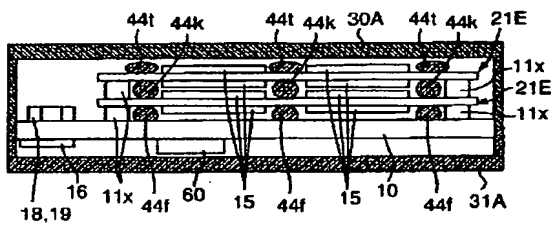
【図65】



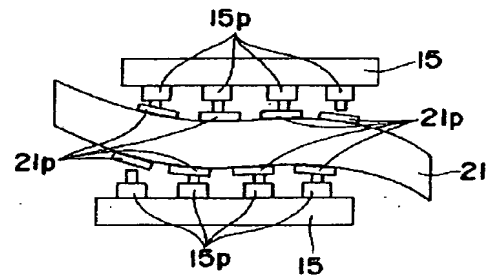
【図66】



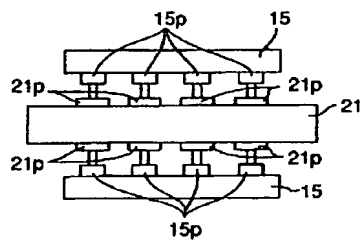
【図67】



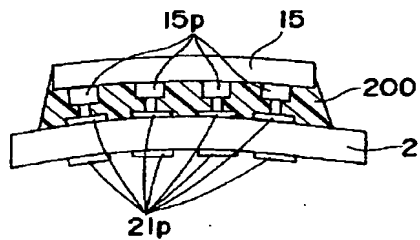
【図68】



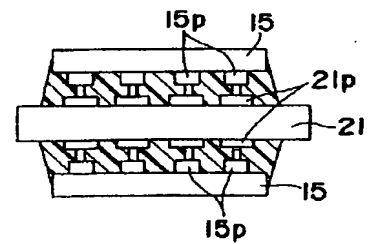
【図71】



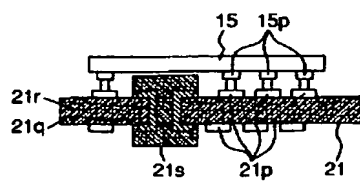
【図72】



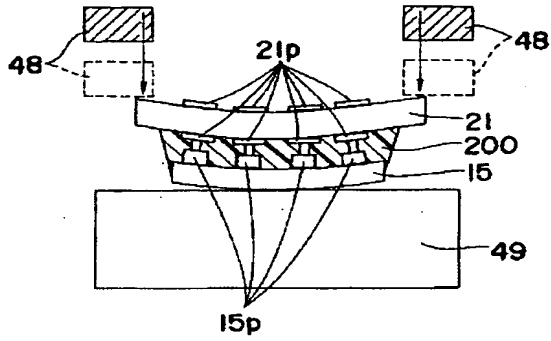
【図75】



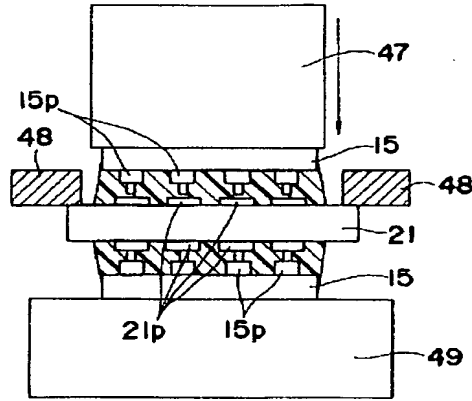
【図83】



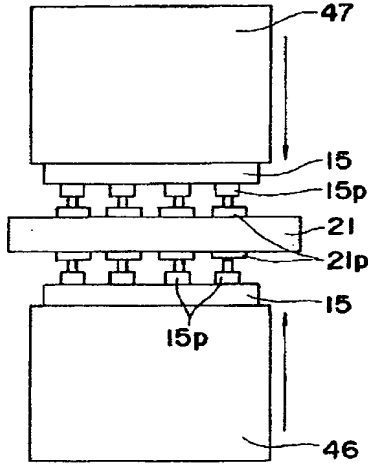
【図73】



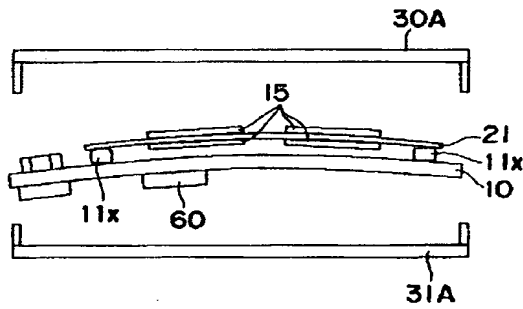
【図74】



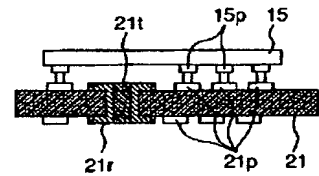
【図76】



【図77】

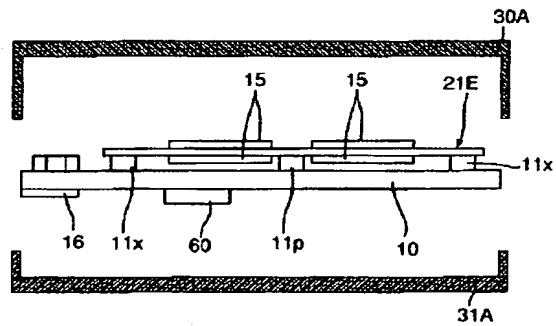
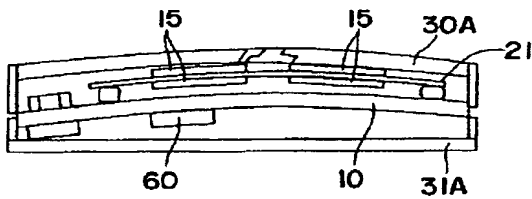


【図84】

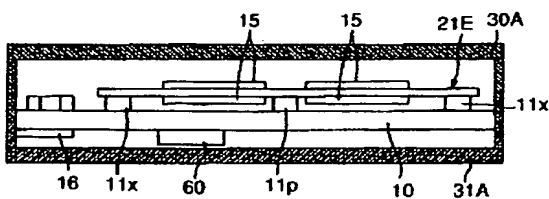


【図79】

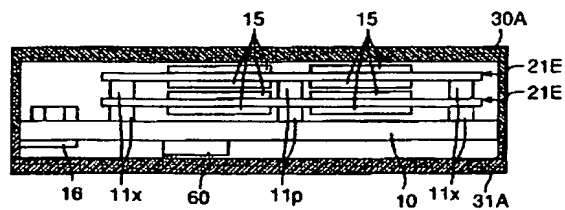
【図78】



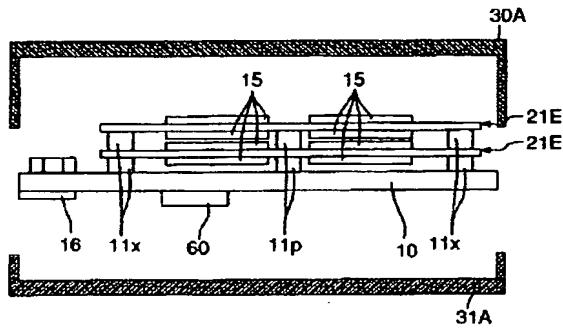
【図80】



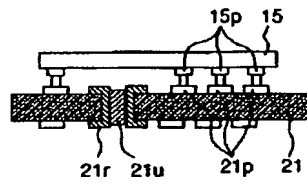
【図82】



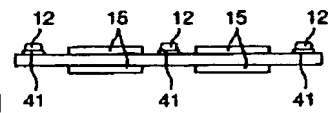
【図81】



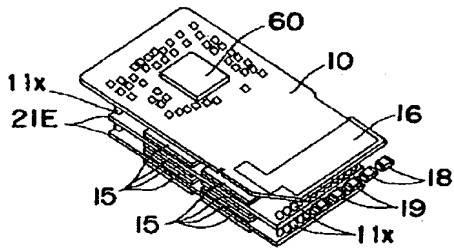
【図85】



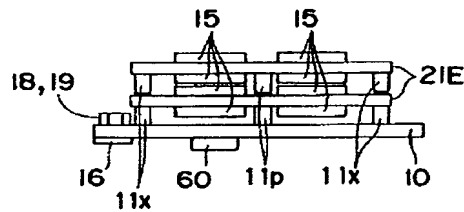
【図90】



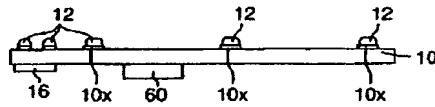
【図86】



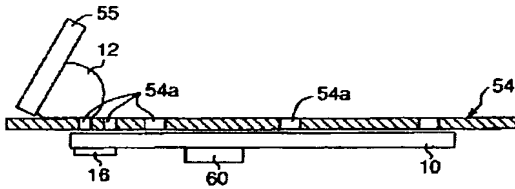
【図87】



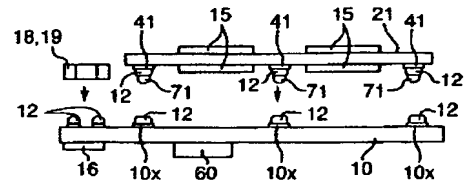
【図89】



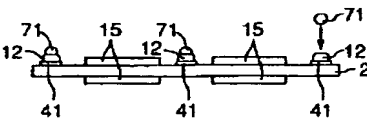
【図88】



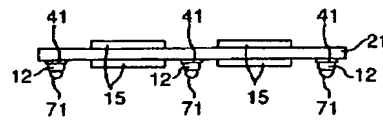
【図93】



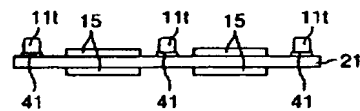
【図91】



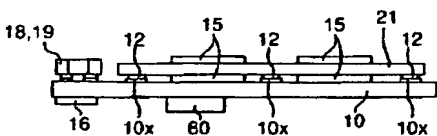
【図92】



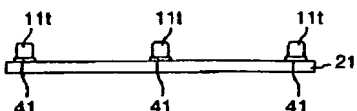
【図97】



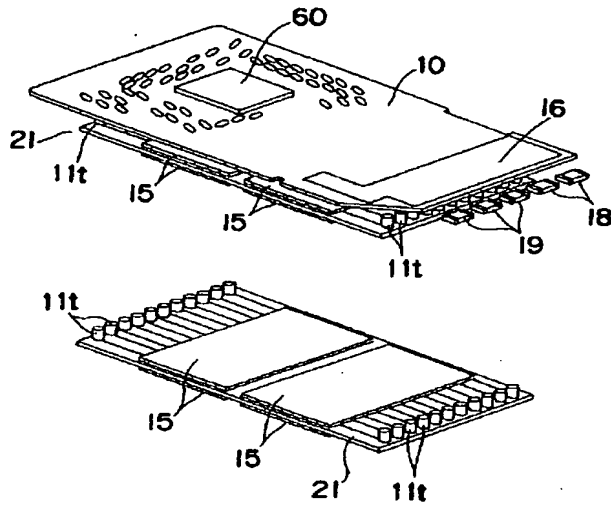
【図94】



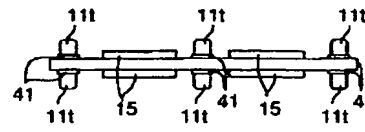
【図96】



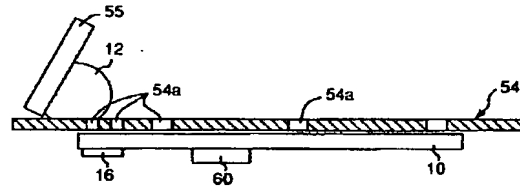
【図95】



【図98】

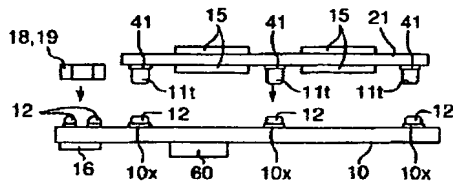


【図103】

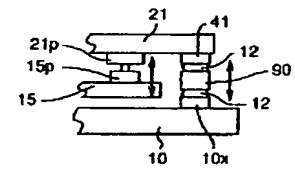
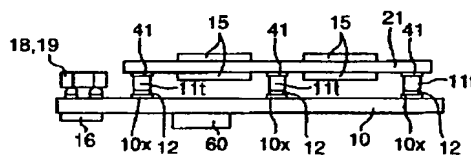


【図110】

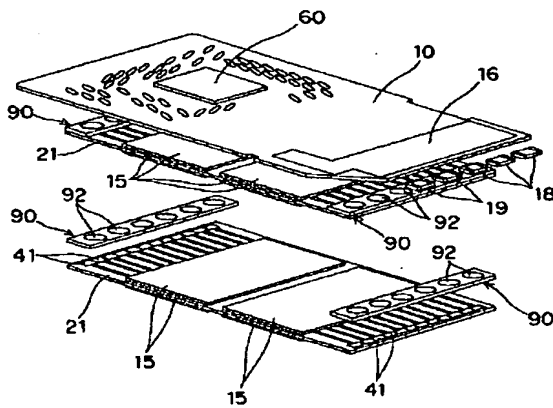
【図99】



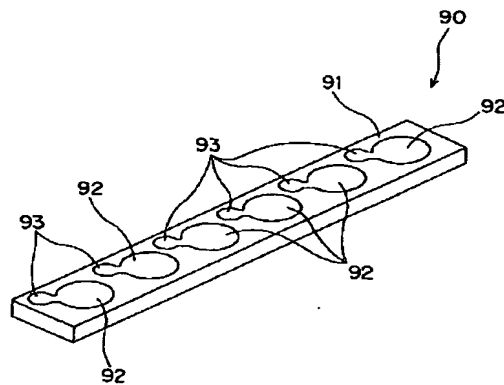
【図100】



【図101】

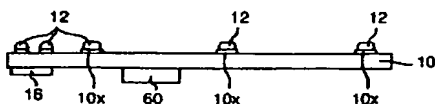


【図102】

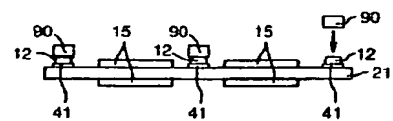
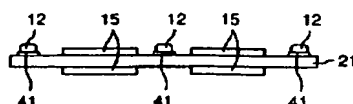


【図106】

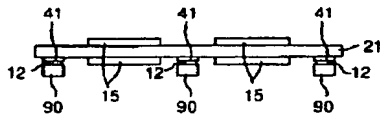
【図104】



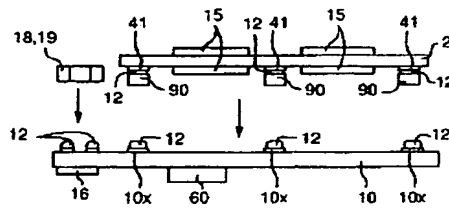
【図105】



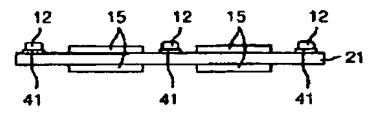
【図107】



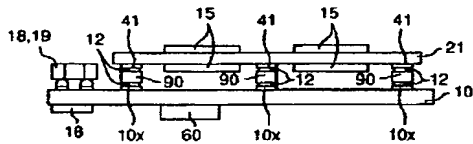
【図108】



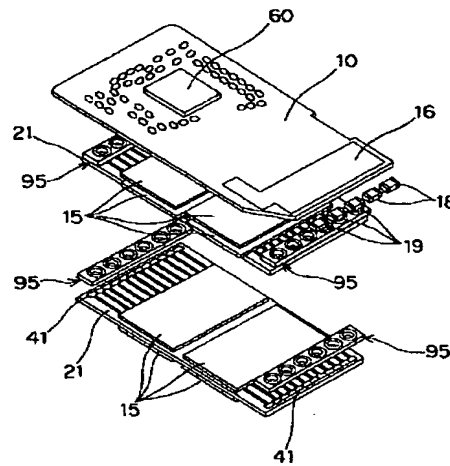
【図113】



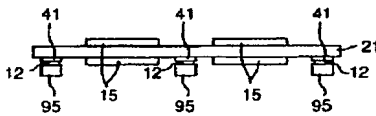
【図109】



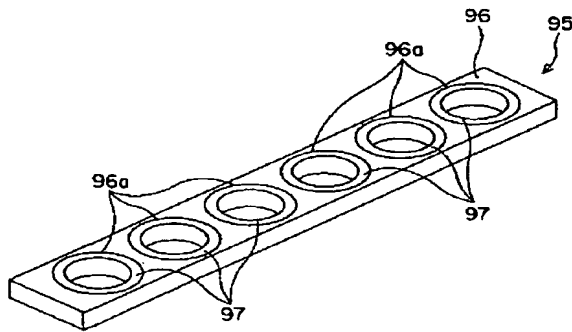
【図111】



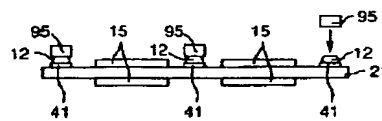
【図115】



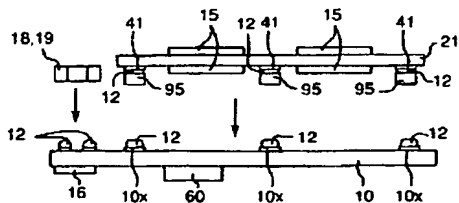
【図112】



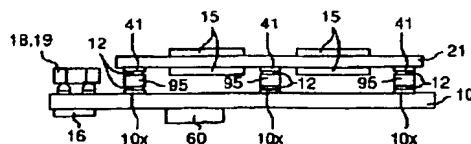
【図114】



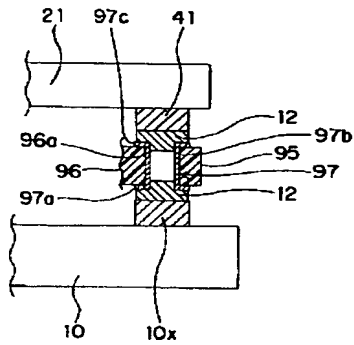
【図116】



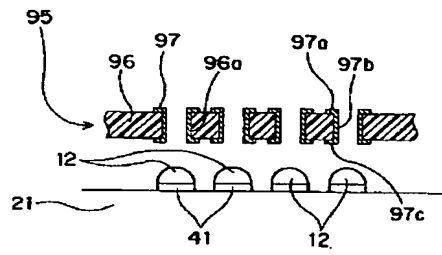
【図117】



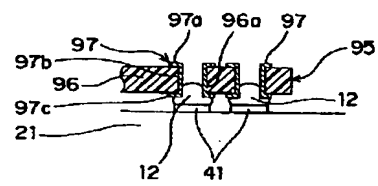
【図118】



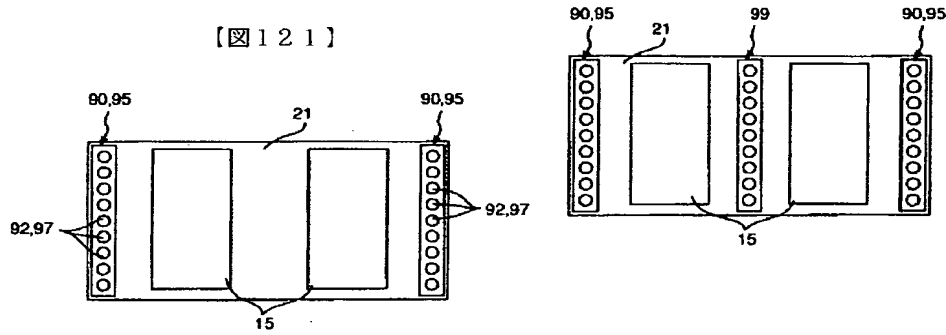
【図119】



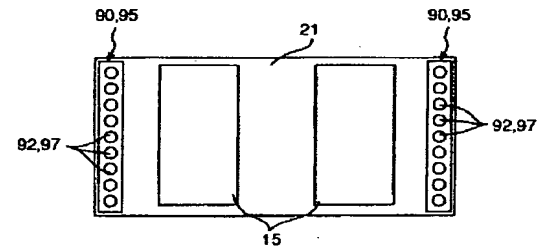
【図120】



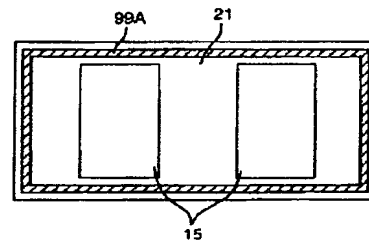
【図122】



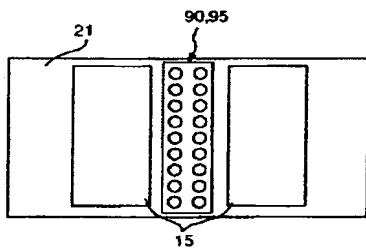
【図121】



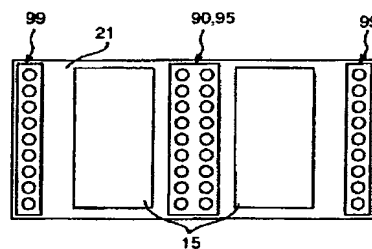
【図125】



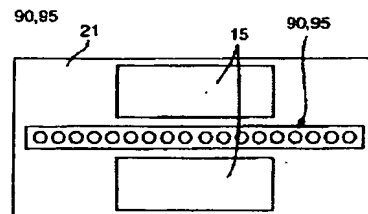
【図123】



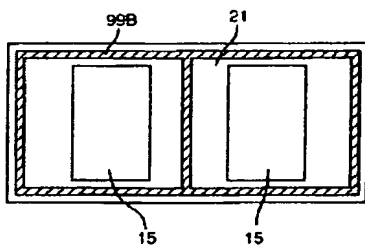
【図124】



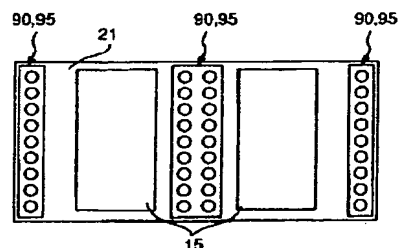
【図129】



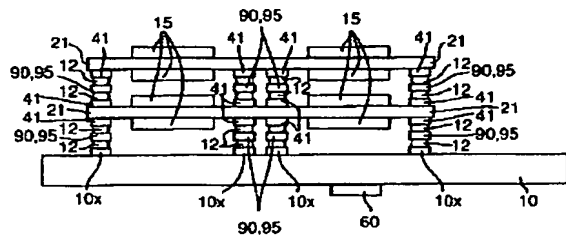
【図126】



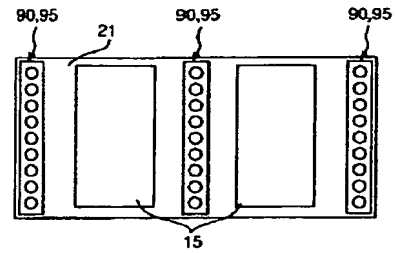
【図127】



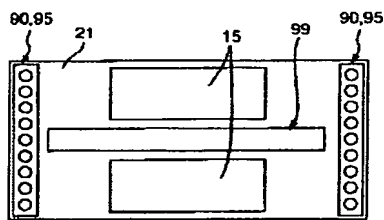
【図128】



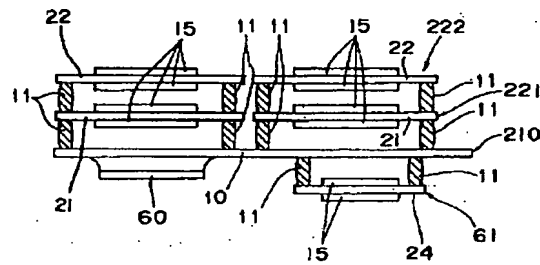
【図130】



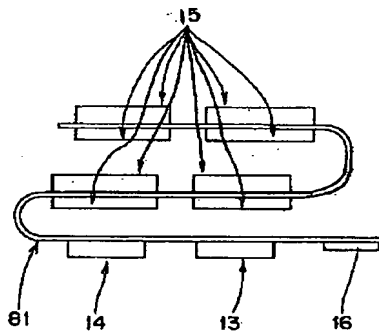
【図131】



【図132】



【図133】



フロントページの続き

(51)Int.Cl.<sup>7</sup>

H05K 3/36

識別記号

F I

G06K 19/00

テーマコード(参考)

K

(72)発明者 宇治 和博

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内



F ターム(参考) 2C005 MA10 MA17 MB03 NA05 NA18  
NA25 NB04 NB23 NB27 NB29  
NB32 PA01 PA27  
5B035 AA01 BA05 BB09 CA01 CA08  
5E336 AA04 AA12 AA14 BB05 BB12  
BB15 BC01 CC34 CC58 EE03  
GG16  
5E338 AA02 AA03 AA12 AA16 BB51  
EE24 EE28  
5E344 AA01 AA16 AA19 AA26 BB03  
BB05 BB10 CC05 CC09 CC25  
CD13 CD25 DD03 EE12 EE16